



## 塑料闪烁体阵列探测器读出ASIC中峰值保持电路的设计

敬雅冉 千奕 蒲天磊 杨鸣宇 孙志坤 杜天亮 陆伟建 张家瑞 赵红赟 孔洁 余乾顺

### Design of Peak Holding Circuit in Readout ASIC of PSD

JING Yaran, QIAN Yi, PU Tianlei, YANG Mingyu, SUN Zhikun, DU Tianliang, LU Weijian, ZHANG Jiarui, ZHAO Hongyun, KONG Jie, SHE Qianshun

在线阅读 View online: <https://doi.org/10.11804/NuclPhysRev.39.2022010>

#### 引用格式:

敬雅冉, 千奕, 蒲天磊, 杨鸣宇, 孙志坤, 杜天亮, 陆伟建, 张家瑞, 赵红赟, 孔洁, 余乾顺. 塑料闪烁体阵列探测器读出ASIC中峰值保持电路的设计[J]. *原子核物理评论*, 2022, 39(4):484–489. doi: 10.11804/NuclPhysRev.39.2022010

JING Yaran, QIAN Yi, PU Tianlei, YANG Mingyu, SUN Zhikun, DU Tianliang, LU Weijian, ZHANG Jiarui, ZHAO Hongyun, KONG Jie, SHE Qianshun. Design of Peak Holding Circuit in Readout ASIC of PSD[J]. *Nuclear Physics Review*, 2022, 39(4):484–489. doi: 10.11804/NuclPhysRev.39.2022010

## 您可能感兴趣的其他文章

### Articles you may be interested in

#### 基于SiPM读出的塑料闪烁体探测器时间性能研究

Time Performance Study of Plastic Scintillator Detector with SiPM Readouts

原子核物理评论. 2020, 37(3): 749–756 <https://doi.org/10.11804/NuclPhysRev.37.2019CNPC53>

#### 闪烁体探测器中光的衰减通式(英文)

A Universal Formula for Light Attenuation of Scintillator Detector

原子核物理评论. 2019, 36(1): 78–84 <https://doi.org/10.11804/NuclPhysRev.36.01.078>

#### 用于GPPD谱仪的大面积闪烁体中子探测器性能测试

Performance Test of the Array Scintillator Detector with a Large Area for GPPD

原子核物理评论. 2019, 36(2): 190–196 <https://doi.org/10.11804/NuclPhysRev.36.02.190>

#### 用于SCA ASIC测试的数字读出模块设计

Design of a Digital Readout Module for SCA ASIC Testing

原子核物理评论. 2020, 37(1): 74–81 <https://doi.org/10.11804/NuclPhysRev.37.2019025>

#### 基于LC延迟电路的双层多丝正比室的研制

Study of Double-Layer Multi-Wire Proportional Chamber based on LC Delay Circuit

原子核物理评论. 2017, 34(3): 591–597 <https://doi.org/10.11804/NuclPhysRev.34.03.591>

#### CEE-TPC中GEM读出探测器传输性能实验研究

Experimental Research on Transmission Performance of GEM Readout Detector in CEE-TPC

原子核物理评论. 2020, 37(3): 765–770 <https://doi.org/10.11804/NuclPhysRev.37.2019CNPC46>

文章编号: 1007-4627(2022)04-0484-06

# 塑料闪烁体阵列探测器读出 ASIC 中峰值保持电路的设计

敬雅冉<sup>1,2</sup>, 千奕<sup>1,2,†</sup>, 蒲天磊<sup>1</sup>, 杨鸣宇<sup>1,2</sup>, 孙志坤<sup>1,2</sup>, 杜天亮<sup>1,2</sup>,  
陆伟建<sup>1,2</sup>, 张家瑞<sup>1,2</sup>, 赵红赞<sup>1,2</sup>, 孔洁<sup>1,2</sup>, 余乾顺<sup>1,2</sup>

(1. 中国科学院近代物理研究所 兰州 73000;  
2. 中国科学院大学核科学与技术学院 北京 100049)

**摘要:** 塑料闪烁体阵列探测器 (PSD, 简称塑闪阵列探测器) 的输出信号经过前置放大器和滤波成形电路后输出准高斯波形, 利用峰值保持电路可对准高斯波形信号的峰值进行采样和保持, 以便后续的电子学系统对其进行进一步的分析。本工作采用 180 nm CMOS 工艺设计并实现了一款峰值保持电路 ASIC 芯片, 每通道主要由跨导放大器 (OTA)、电流镜和充电电容三部分电路组成。实验室电子学功能和性能测试结果表明: 峰值保持电路功能良好; 输入动态范围为 33~940 mV, 非线性误差优于 0.8%, 下垂速率好于 8.6  $\mu\text{V}/\mu\text{s}$ , 峰值探测延迟时间小于 35 ns, 芯片单通道静态功耗为 825  $\mu\text{W}$ , 达到设计要求。

**关键词:** 塑料闪烁体阵列探测器; 峰值保持电路; 专用集成电路

**中图分类号:** TL8      **文献标志码:** A      **DOI:** 10.11804/NuclPhysRev.39.2022010

## 1 引言

暗物质探测是当前国际上粒子物理和天体物理领域很热门的研究内容, 我国在高能伽马射线方面的空间探测方向上起步较晚, 在中国科学院空间科学战略性先导科技专项支持下<sup>[1]</sup>, 我国于 2015 年发射成功了首颗天文科学卫星暗物质粒子探测卫星“悟空”。“悟空”进入预定轨道以来, 获得了目前国际上精度最高的电子宇宙射线能谱探测结果。“悟空”号的研发、运行和分析研究经验为成功研制新一代大型伽马射线探测卫星奠定了坚实的基础。考虑到高能伽马射线天文领域的蓬勃发展前景<sup>[2]</sup>, 国内多家单位进行联合提出要研制新一代高性能的甚大面积伽马空间望远镜 VLAST (Very Large Area gamma-ray Space Telescope)<sup>[3]</sup>。VLAST 的探测器从顶部到底部包括: 反符合探测器 (Anti Coincidence Detector, ACD)、径迹及低能伽马探测器 (Silicon Tracker and low Energy gamma-ray Detector, STED)、高能成像量能器 (High Energy Imaging Calorimeter, HEIC)<sup>[2]</sup>。其中, 反符合探测器拟采用有机塑料闪烁体作为探测器的灵敏材料, 即使用塑料闪烁体阵列探测器 (Plastic Scintillator Detector, PSD, 后续简称塑闪阵列探测器) 完成反符合功能, PSD 对前端读出电子学提出了大动态范围的需求。

同时, 在空间探测领域中, 高集成度的专用集成电路 ASIC (Application Specific Integrated Circuit) 芯片技术逐渐成为发展趋势<sup>[4]</sup>。因此, 为了实现塑闪阵列探测器能量信号的读出和分析, 并配合已有的前放及成形芯片的读出要求, 亟需设计一款大动态范围的峰值保持电路 ASIC 芯片, 设计需求为非线性误差优于 1%, 下垂速率好于 10  $\mu\text{V}/\mu\text{s}$ , 动态范围为 30~900 mV。

## 2 电路设计与仿真

### 2.1 电路基本结构和工作过程

塑闪阵列探测器输出信号的前端读出电路设计框图如图 1 所示<sup>[5]</sup>。探测器输出的电荷信号, 经过前置放大器在电容上积分成电压信号并放大后, 送入滤波成形电路中对信号进一步放大和成形, 产生一个准高斯波形, 波形的峰值能反映出探测器输出信号的能量信息。为了更稳定地获得能量信息, 需要峰值保持电路对滤波成形之后的准高斯波形的峰值进行检测, 并保持一段时间, 然后将峰值信息输出至低采样率 ADC 中, 做数字化处理和分析。

本文的工作就是设计图 1 中的峰值保持电路。传统的峰值保持电路主要由跨导型运算放大器 U1、二极管

收稿日期: 2022-01-28; 修改日期: 2022-02-10

基金项目: 国家自然科学基金面上基金资助项目 (11975293)

作者简介: 敬雅冉 (1995-), 女, 新疆塔城人, 博士研究生, 从事探测器专用集成电路方面的研究; E-mail: jingyaran@impcas.ac.cn

† 通信作者: 千奕, E-mail: qianyi@impcas.ac.cn

D1、保持电容 C1 和缓冲器 U2 组成，结构图如图 2 所示。

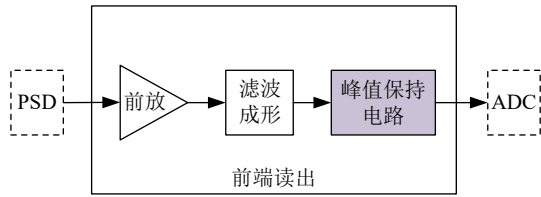


图 1 前端读出电路设计框图(在线彩图)

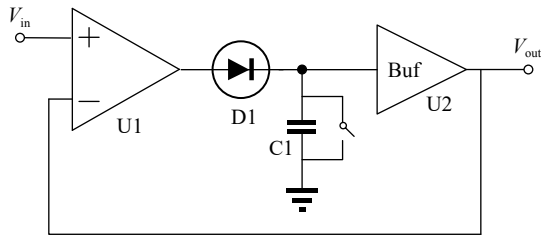


图 2 传统的峰值保持电路结构图

当输入信号上升沿到来时，跨导型运算放大器 U1 的反向端输入信号  $V_{out}$  小于正向端输入信号  $V_{in}$ ，二极管 D1 导通，U1 的输出电流经过二极管 D1 对保持电容 C1 充电，C1 上的信号经过 U2 缓冲后反馈到 U1 的反向端，使 U1 的反向端输入信号  $V_{out}$  增加；当输入信号的下降沿到来时， $V_{out}$  大于  $V_{in}$ ，U1 输出为负，则二极管截止，保持电容上的电压保持不变，从而实现输入信号的峰值保持<sup>[6]</sup>。这一工作原理成功地应用于几个离散电路的实现<sup>[7-10]</sup>。

由于二极管具有一定的正向导通压降，所以传统的峰值保持电路需要在前端设计一个补偿电路来抵消二极管正向压降的影响，增加了电路的复杂性和不稳定性<sup>[5]</sup>。考虑到传统峰值保持电路中因二极管正向导通电压引起的的影响，我们设计的峰值保持电路 ASIC 芯片，使用有源器件 MOSFET 管来代替二极管<sup>[11]</sup>，单通道的电路结构如图 3 所示，该电路包括 4 个部分，跨导放大器 OTA(Operational Transconductance Amplifier)、电流镜、充电电容  $C_h$  和泄放开关、缓冲器<sup>[12]</sup>。

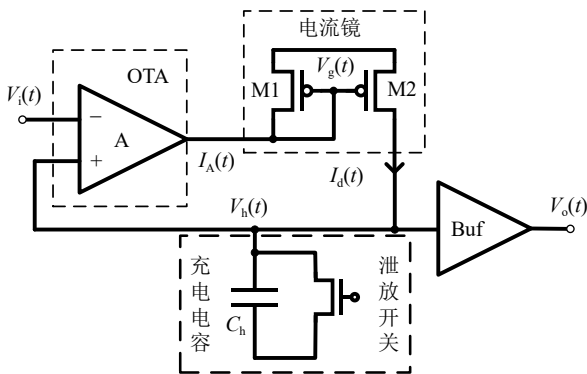


图 3 峰值保持电路结构图

工作过程为：跨导放大器 A 的“-”端接输入信号  $V_i(t)$ ，“+”端接电容上的保持电压  $V_h(t)$ ，跨导放大器 A 输入端的差模电压为  $V_e(t)$ ，

$$V_e(t) = V_h(t) - V_i(t); \quad (1)$$

当输入信号  $V_i(t)$  到达并高于保持电压  $V_h(t)$  时，跨导放大器的输出电流  $I_A(t)$  经过电流镜中二极管接法的 M1 管，进行  $I-V$  转换，使 M1 和 M2 的栅极电压  $V_g(t)$  产生一个急剧负跃迁，从而使 M2 导通，电流  $I_d(t)$  开始对保持电容  $C_h$  进行单向充电，直到  $V_e(t)$  接近零。然后通过环路不断调整栅压  $V_g(t)$ ，使

$$I_d(t) = C_h \cdot V_i'(t), \quad (2)$$

其中  $V_i'(t)$  是  $V_i(t)$  的斜率。跟踪条件  $V_h(t) = V_i(t)$  一直持续到  $V_i(t)$  接近其峰值  $V_i(t_p) = V_{ip}$ ，此时  $V_i'(t)$  趋于零， $V_e(t)$  改变符号，并使  $V_g(t)$  产生一个急剧的正跃迁，使 M2 关断。由于  $C_h$  没有可用的放电路径， $V_h(t)$  保留了  $V_i(t)$  的峰值，从而实现了保持条件：

$$V_h(t \geq t_p) = V_{hp} = V_{ip}. \quad (3)$$

由此工作原理，电路实现了对输入信号峰值信息的保持过程。

## 2.2 电路设计

芯片单通道包括峰值保持电路和输出缓冲器。其中峰值保持电路的设计图如图 4 所示，电路包括 3 个部分，OTA、电流镜、充电电容  $C_h$  和泄放开关。五管 OTA 中，NMOS 输入管 M3 和 M4 为差分对管，构成差分输入结构，M5 和 M6 两个 PMOS 对管构成电流镜，其中 M5 的漏极接输出，而 M6 的漏极与栅级相连，构成二极管连接，M7 决定了支路总电流，由电流镜结构平均分配到两条支路。电流镜电路中，PMOS 管 M1 为  $I-V$  转换管，M2 管既是充电元件，也是开关元件，在导通时起充电功能，当关断时，高阻抗以防止电容  $C_h$  上的存储电压

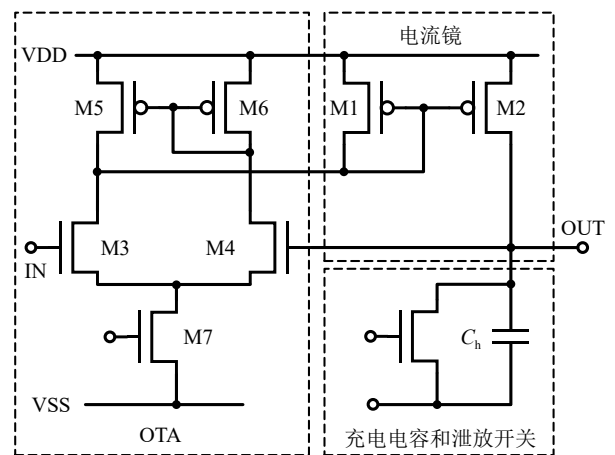


图 4 峰值保持电路的设计图

失真。当峰值信息保持一段时间后，泄放开关导通，电容放电至基线电压，然后等待下一个信号的到来。

其中，在设计 OTA 时， $W$  为晶体管的宽度， $L$  为晶体管的长度，较小的输入管对地电容 ( $C_{gs}+C_{gb}$ ) 能够提高电路的工作速度，约束  $WL$  的面积可以获得较小的电容。因此，差分对输入管 M3 和 M4 的栅长  $L$  取该工艺下能达到的最小栅长  $0.35 \mu\text{m}$ 。为降低 OTA 的失调电压， $W$  的取值也应该相应地减小。但减小  $W$  会引起差分对管的增益不足，因此需要根据需求精度以及功耗等因素综合考虑。在电流镜中，M2 管的漏电流  $I_d$  对电容  $C_h$  充电时的摆率要与输入信号的上升速度一致，为了配合 M2 管充电时的摆率，电流镜需要对差分对管的总电流进行相应的衰减，考虑以上因素并结合式 (4) 来决定 M2 管的尺寸：

$$C_h V_i'(t) = I_d(t) = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{DD} - V_g - V_T)^2, \quad (4)$$

式中： $\mu$  为载流子迁移率； $W/L$  是晶体管的宽长比； $V_g$  是栅极电位； $V_T$  为晶体管的阈值电压； $C_{ox}$  为栅氧化层电容； $V_{DD}$  为电路的电源电压。

为保证能够驱动大电容及小电阻负载，缓冲器采用带有 Class AB 输出结构的放大器，缓冲器的结构图如图 5 所示。其中第一级采用 PMOS 管输入的共源共栅结构放大器，M1 与 M2 差分对使用 PMOS 作为输入级，可以提高电路抗辐照性能，M4-M7、M8-M11 采用了共源共栅结构，有助于抑制电源噪声；第二级使用 Class AB 结构的输出电路 [13-14]，提高了电路的带负载能力 [15]。仿真得到的缓冲器性能指标为：带宽 37.27 MHz，开环增益 114 dB，摆率  $43.8 \text{ V}/\mu\text{s}$ 。

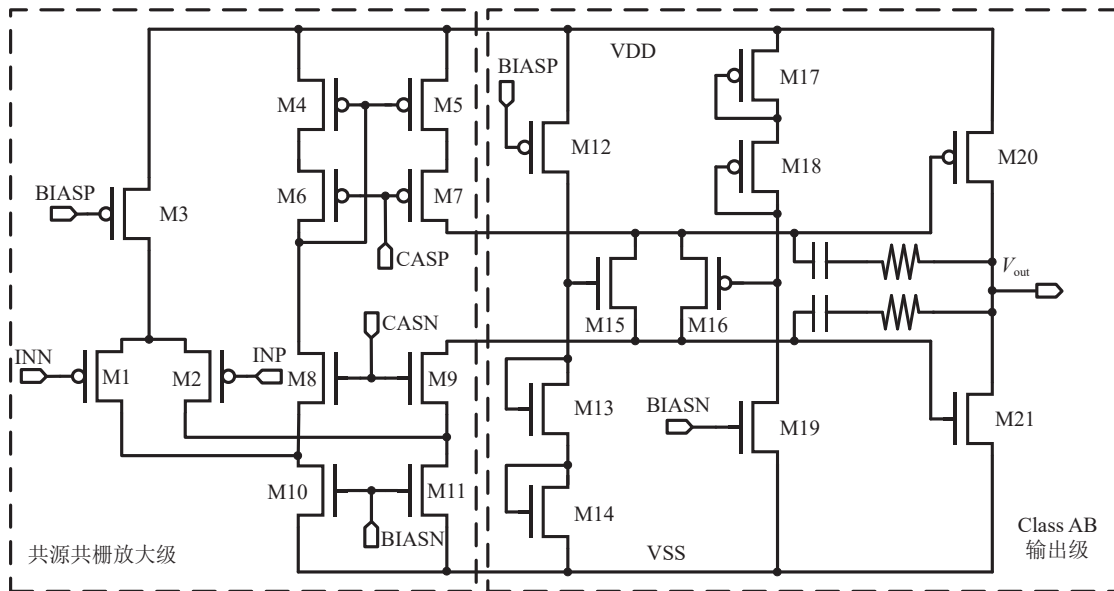


图 5 缓冲器电路结构

### 2.3 电路仿真

仿真的输入信号采用的是基线电压 1.3 V、上升沿  $1 \mu\text{s}$  左右的高斯波形信号。仿真结果如图 6~8 所示。通过仿真结果可得，峰值保持电路工作正常，在 33~940

mV 的输入动态范围内，非线性误差优于 0.75%，下垂速率为  $1.05 \mu\text{V}/\mu\text{s}$ ，峰值探测延迟时间约为 30 ns。

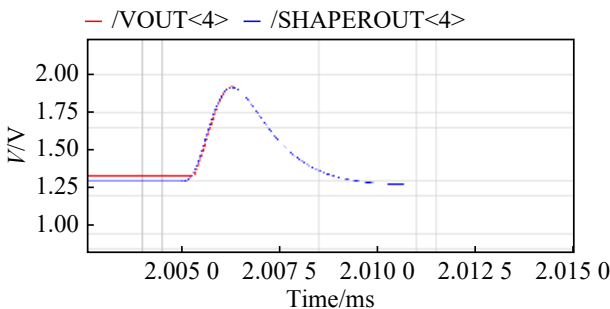


图 6 电路功能仿真图(在线彩图)

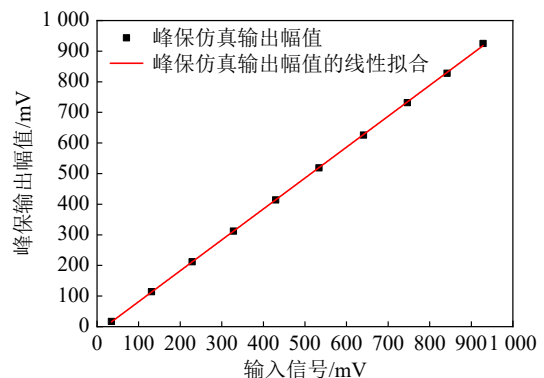


图 7 电路线性仿真图(在线彩图)

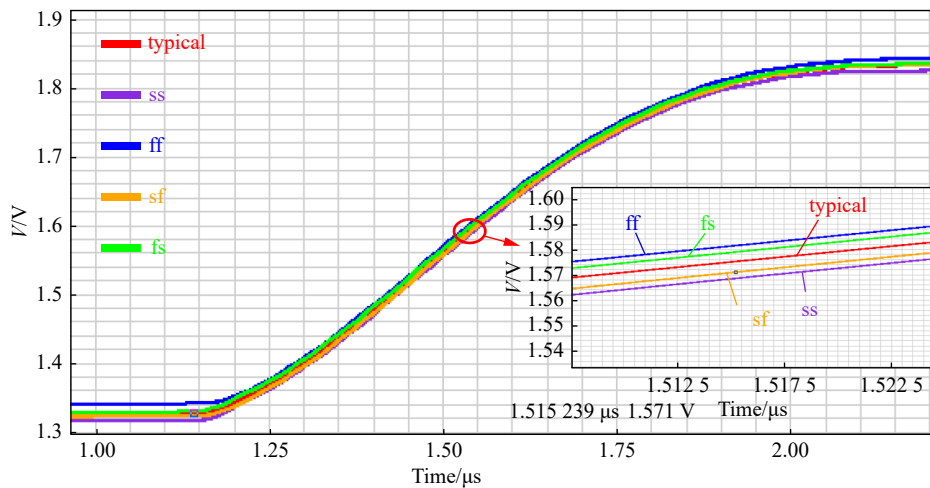


图 8 不同工艺角仿真图(在线彩图)

### 2.4 版图设计及电路后仿真

该芯片采用 180 nm CMOS 工艺，3.3 V 单电源供电。芯片版图如图 9 所示，单通道版图尺寸为 110 μm×50 μm。版图的绘制考虑到设计的用途对版图进行了优化 [15]，通过添加保护环来减小干扰，增强抗辐照能力；根据电流的大小设计不同宽度的走线，并且走线要尽量短，来减小走线上带来的寄生电阻和电容；在整体版图设计时，要保证衬底接地良好，防止引起闩锁效应。

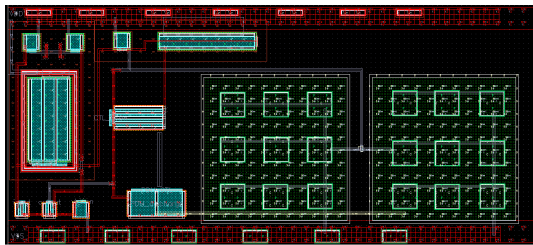


图 9 峰值保持电路版图(在线彩图)

版图设计后，进行了 DRC 和 LVS 的验证，以及版图的参数提取，并对电路进行了后仿真。后仿真的输入信号采用的是基线电压 1.3 V、上升沿 1 μs 左右的高斯波形信号。仿真结果如图 10 所示，下垂速率好于 1.43 μV/μs，峰值探测延迟时间约为 35 ns。

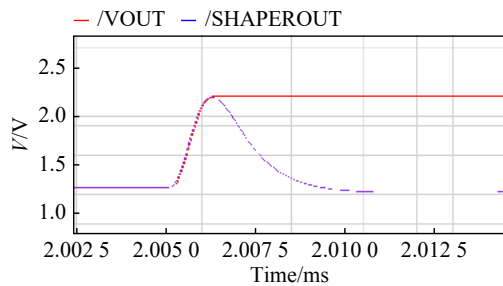


图 10 电路功能后仿真图(在线彩图)

## 3 电路性能测试

### 3.1 功能测试

电路原理图及版图完成后进行了流片，并对流片完成的芯片进行实验室测试，测试现场及测试板，如图 11 所示。峰值保持电路的功能实现测试结果如图 12 所示，由于输入端存在失调，基线噪声不会引起峰检测电路的误触发，超过触发的信号可以正常触发。测试输入信号是基线电压 1.3 V、上升沿 1 μs 左右的高斯波形信号，测试结果表明，峰值保持电路能够正常工作，峰值探测延迟时间小于 30 ns，表明设计有良好的跟踪功能。

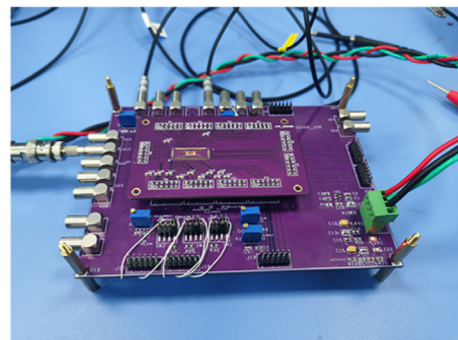
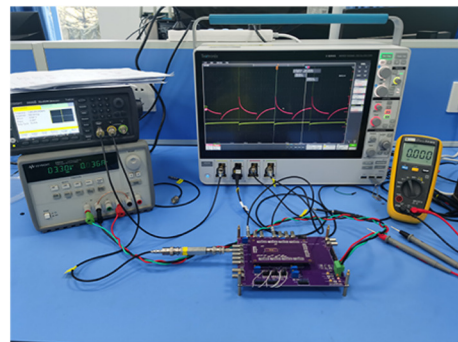


图 11 实验室测试现场及测试电路板(在线彩图)

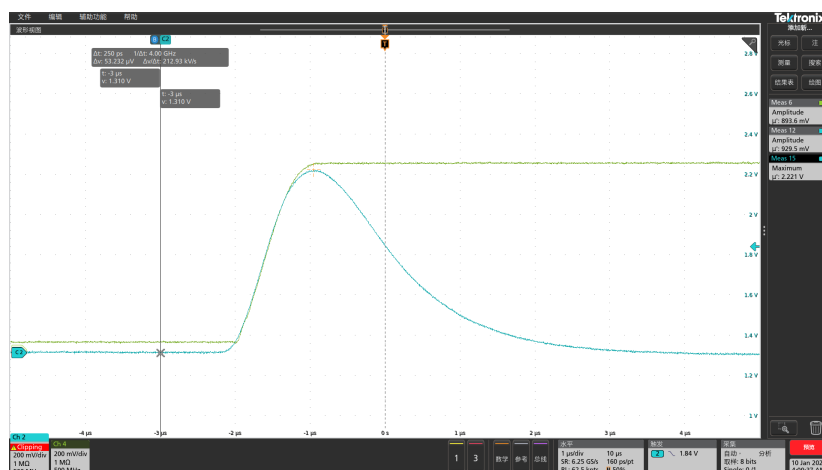


图 12 峰值保持电路功能测试图(在线彩图)

### 3.2 性能测试

在输入动态范围内对电路的输出幅值及输入输出的线性进行测试和拟合,并根据测试结果计算非线性误差。图 13 为电路的线性拟合曲线,由计算可得,在电路的输入幅值范围为 33~940 mV 时,对应的非线性误差优于 0.8%。表明该设计有良好的线性,可以满足设计要求。在峰值电压的保持过程中,输出端存在微弱的漏电流,电荷会缓慢泄放。下垂速率为 8.6  $\mu\text{V}/\mu\text{s}$ ,根据探测器输出信号的计数率(20 kc/s)的要求,峰值信号保持时间小于 50  $\mu\text{s}$ ,则峰值信号在保持时间内的变化小于 0.43 mV。

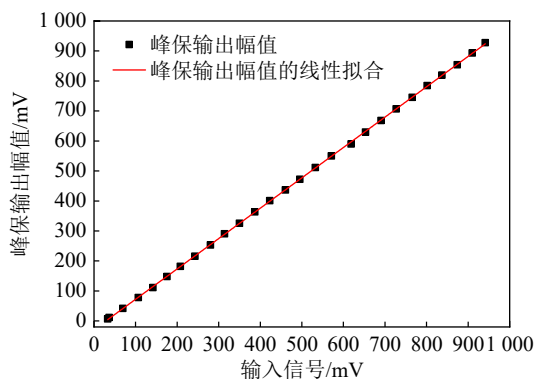


图 13 峰值保持电路线性拟合曲线(在线彩图)

测试结果与仿真结果相比存在一些误差,经过对比分析,误差来源包括:峰值保持电路的结构非对称性带来的失调电压误差,引起小信号测量的损失以及工艺误差和测试环境带来的误差。下一版的设计中将对每个误差来源进行优化和改进,提高设计的性能。

## 4 结论

本文设计了一款用于塑闪阵列探测器能量信息读出的峰值保持 ASIC 芯片。通过对峰值保持电路的仿真及

测试分析可得,峰值保持电路的输入动态范围为 33~940 mV,非线性误差优于 0.8%,下垂速率好于 8.6  $\mu\text{V}/\mu\text{s}$ ,峰值探测延迟时间好于 35 ns,芯片单通道功耗为 825  $\mu\text{W}$ ,各方面指标均满足设计要求。在之后的设计中,将对峰值保持电路的结构进行优化,提高电路的对称性,减小由于电路的不对称性带来的误差,进一步提高设计指标。

### 参考文献:

- [1] ZHAO Hongyun. The Research and Implementation of the Readout System for a New Plastic Scintillator Array Detector[D]. Lanzhou: Institute of Modern Physics, Chinese Academy of Sciences, 2015. (in Chinese)  
(赵红贇. 新型塑闪阵列探测器读出系统的研究与实现[D]. 兰州: 中国科学院近代物理研究所, 2015.)
- [2] FAN Yizhong, CHANG Jin, GUO Jianhua, et al. *Acta Astronomica Sinica*, 2022, 63(3): 13. (in Chinese)  
(范一中, 常进, 郭建华, 等. *天文学报*, 2022, 63(3): 13.)
- [3] WANG Shen. Prototype Module Design and Simulation of VLAST Silicon Tracker Detector[D]. Hefei: University of Science and Technology of China, 2020. (in Chinese)  
(汪慎. VLAST硅微条径迹探测器模块原型设计及参数化模拟研究[D]. 合肥: 中国科学技术大学, 2020.)
- [4] WANG Bo, WANG Jia, LIU Weixin, et al. *Semiconductor Testing and Equipment*, 2019, 44(09): 728. (in Chinese)  
(汪波, 王佳, 刘伟鑫, 等. *半导体检测与设备*, 2019, 44(09): 728.)
- [5] YANG Fei, CHEN Fubin. *Journal of Beijing Information Science and Technology University*, 2013, 28(01): 47. (in Chinese)  
(杨飞, 陈福彬. *北京信息科技大学学报*, 2013, 28(01): 47.)
- [6] XIAO Yunfeng, HUANG Guangming. *Nuclear Electronics & Detection Technology*, 2020, 40(02): 359. (in Chinese)  
(肖云凤, 黄光明. *核电子学与探测技术*, 2020, 40(02): 359.)
- [7] BUCKENS P F, VEATCH M S. *IEEE Nuclear Science Symposium and Medical Imaging Conference*, 1991: 723.
- [8] HAAS W, DULLENKOPF P. *IEEE Transactions on Instrumentation and Measurement*, 1986, 35(04): 547.
- [9] ERICSON M N, SIMPSON M L, BRITTON C L, et al. *IEEE*

- [Transactions on Nuclear Science](#), 1995, 42(05): 724-728.
- [10] WESSENDORF K O, LUND J C, BRUNETT B A, et al. Very Low-power Consumption Analog Pulse Processing ASIC for Semiconductor Radiation Detectors [C]//1998 IEEE Nuclear Science Symposium and Medical Imaging Conference(Cat. No. 98CH36255), 1998, 01: 488. DOI: [10.1109/NSSMIC.1998.775189](#).
- [11] DE GERONIMO G, O'CONNOR P, KANDASAMY A. [Nucl Instr and Meth A](#), 2002, 484(1-3): 533.
- [12] KRUISKAMP M W, LEENAERTS D M W. [IEEE Transactions on Nuclear Science](#), 1994, 41(01): 295.
- [13] BAKER R J. CMOS:Circuit Design, Layout, and Simulation[M]. Beijing: Posts & Telecom Press, 2014: 165.
- [14] ALLEN P E, HOLBERG D R. CMOS Analog Circuit Design[M]. Beijing: Publishing House of Electronics Industry, 2011: 198.
- [15] PU Tianlei, QIAN Yi, SU Hong, et al. [Nuclear Electronics & Detection Technology](#), 2015, 35(11): 1146. (in Chinese)  
(蒲天磊, 千奕, 苏弘, 等. [核电子学与探测技术](#), 2015, 35(11): 1146.)

## Design of Peak Holding Circuit in Readout ASIC of PSD

JING Yaran<sup>1,2</sup>, QIAN Yi<sup>1,2,†</sup>, PU Tianlei<sup>1</sup>, YANG Mingyu<sup>1,2</sup>, SUN Zhikun<sup>1,2</sup>, DU Tianliang<sup>1,2</sup>,  
LU Weijian<sup>1,2</sup>, ZHANG Jiarui<sup>1,2</sup>, ZHAO Hongyun<sup>1,2</sup>, KONG Jie<sup>1,2</sup>, SHE Qianshun<sup>1,2</sup>

(1. Institute of Modern Physics, Chinese Academy of Sciences, Lanzhou 730000, China;

2. School of Nuclear Science and Technology, University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** The output signal of PSD(plastic scintillation detector) is fed to the preamplifier and the shaping circuit to output a quasi-Gaussian waveform. The peak holding circuit can be used to sample and hold the peak value of the quasi-Gaussian waveform signal, so that the subsequent electronic system can further analyze it. This paper presents a peak holding circuit ASIC(application specific integrated circuit) chip which is designed based on 180 nm CMOS technology. Each channel of the ASIC includes an OTA(Operational Transconductance Amplifier) circuit, a current mirror circuit, and a charging capacitor. Laboratory electronics function and performance test results indicate that the function of the peak hold circuit is achieved. The input dynamic range is 33~940 mV, and the nonlinear error is better than 0.8%. The droop rate is better than 8.6  $\mu\text{V}/\mu\text{s}$ , the peak detection delay time is lower than 35 ns, and the single-channel power consumption of the chip is 825  $\mu\text{W}$ , which meets the design requirements.

**Key words:** plastic scintillation detector; peak hold circuit; application specific integrated circuit

Received date: 28 Jan. 2022; Revised date: 10 Feb. 2022

Foundation item: National Natural Science Foundation of China(11975293)

† Corresponding author: QIAN Yi, E-mail: [qianyi@impcas.ac.cn](mailto:qianyi@impcas.ac.cn)