



基于SCA技术的高速数据采集电路研究

廖顺 杨海波 张洪辉 周显才 张洪林 闫江 赵承心

Research on High Speed Data Acquisition Circuit Based on SCA Technology

LIAO Shun, YANG Haibo, ZHANG Honghui, ZHOU Xiancai, ZHANG Honglin, YAN Jiang, ZHAO Chengxin

在线阅读 View online: <https://doi.org/10.11804/NuclPhysRev.40.2022092>

引用格式:

廖顺, 杨海波, 张洪辉, 周显才, 张洪林, 闫江, 赵承心. 基于SCA技术的高速数据采集电路研究[J]. *原子核物理评论*, 2023, 40(2):237–243. doi: 10.11804/NuclPhysRev.40.2022092

LIAO Shun, YANG Haibo, ZHANG Honghui, ZHOU Xiancai, ZHANG Honglin, YAN Jiang, ZHAO Chengxin. Research on High Speed Data Acquisition Circuit Based on SCA Technology[J]. *Nuclear Physics Review*, 2023, 40(2):237–243. doi: 10.11804/NuclPhysRev.40.2022092

您可能感兴趣的其他文章

Articles you may be interested in

基于开关电容阵列ASIC芯片的多通道波形数字化系统设计

Multi-channel Waveform Digitization System Utilizing Switched Capacitor Array ASICs

原子核物理评论. 2017, 34(4): 755–761 <https://doi.org/10.11804/NuclPhysRev.34.04.755>

用于SCA ASIC测试的数字读出模块设计

Design of a Digital Readout Module for SCA ASIC Testing

原子核物理评论. 2020, 37(1): 74–81 <https://doi.org/10.11804/NuclPhysRev.37.2019025>

用于波形数字化的JESD204B高速接口设计

Design of JESD204B High Speed Interface for Waveform Digitization

原子核物理评论. 2017, 34(4): 745–754 <https://doi.org/10.11804/NuclPhysRev.34.04.745>

用于GPPD谱仪的大面积闪烁体中子探测器性能测试

Performance Test of the Array Scintillator Detector with a Large Area for GPPD

原子核物理评论. 2019, 36(2): 190–196 <https://doi.org/10.11804/NuclPhysRev.36.02.190>

B₄C-Al材料中子吸收性能检测设备研制

Research on B₄C-Al Material Neutron Absorption Testing Equipment

原子核物理评论. 2021, 38(3): 283–292 <https://doi.org/10.11804/NuclPhysRev.38.2020071>

B₄C-Al材料中子吸收性能检测技术研究

Study on Neutron Absorption Testing Technology of B₄C-Al Material

原子核物理评论. 2019, 36(4): 462–470 <https://doi.org/10.11804/NuclPhysRev.36.04.462>

文章编号: 1007-4627(2023)02-0237-07

基于SCA技术的高速数据采集电路研究

廖顺^{1,2}, 杨海波^{2,3,†}, 张洪辉^{1,2}, 周显才^{1,2}, 张洪林^{2,3}, 闫江^{1,†}, 赵承心^{2,3,1}

(1. 贵州大学大数据与信息工程学院, 贵阳 550025;

2. 中国科学院近代物理研究所, 兰州 730000;

3. 中国科学院大学, 北京 100049)

摘要: 基于开关电容矩阵 (Switched Capacitor Array, SCA) 的波形数字化技术是未来物理实验装置前端读出电子学的重要发展方向之一。本工作设计了一种基于SCA芯片DRS4(Domino Ring Sampler 4)的超高速波形数字化数据采集电路。DRS4单通道可以最高以5 GHz的采样率对探测器输出信号进行全波形采样。该电路主要由模拟调理电路、DRS4电路、ADC(Analog-to-Digital Converter)电路、FPGA(Field-Programmable Gate Array)、DAC(Digital-to-Analog Converter)电路、触发电路和接口电路等组成。性能测试表明, 该电路通道的噪声小于0.5 mV, 积分非线性(Integral Non-Linearity, INL)优于1%。本电路模拟输入带宽高, 采样率700 MHz~5 GHz可调, 具有良好的非线性。该数据采集电路具有一定的通用性, 适用于多种类型的物理实验装置中的探测器读出。

关键词: 开关电容阵列; DRS4; 波形采样; 性能测试

中图分类号: TN79

文献标志码: A

DOI: 10.11804/NuclPhysRev.40.2022092

0 引言

波形数字化技术是未来物理实验装置中前端读出电子学非常重要的发展趋势之一, 通过获取的探测器输出信号的原始波形, 物理学家可以得到其携带的所有物理信息, 如幅度信息(能量、位置)、时间信息^[1-2]。传统基于Flash ADC的波形数字化技术不仅分辨率低, 集成度低, 成本高昂, 而且随着采样率的提高功耗越来越大^[3], 以及带来的高速数据缓存、数据传输电路的系统复杂问题, 已经不能满足未来物理实验装置发展的需求。

基于开关电容矩阵 (Switched Capacitor Array, SCA) 的波形数字化技术是一种新颖的技术路线^[4-5]。它是基于高速模拟取样、存储, 然后配以合适速度的ADC (Analog-to-Digital Converter) 进行模数转换的技术路线。这种方法的优点是高速模拟取样、存储技术解决了Flash ADC高采样率和高精度模数转换之间的矛盾。SCA芯片自身功耗低且避免采用高速ADC, 从而降低了系统的总功耗。SCA+ADC的技术路线已渐渐被广泛关注, 一些大的物理实验装置探测器读出中也开始对此

方法进行应用^[6-7], 其中比较典型的如: 瑞士MEG(Mu-E-Gamma)实验中使用了DRS(Domino Ring Sampler)芯片^[8], 位于南极中微子探测AMANDA (Array of 80 Optical Modules Arranged)实验中使用了ATWD(Analog Transient Waveform Digitizer)芯片^[9], 位于地中海天体物理ANTARES(Arizona-NOIRLab Temporal Analysis and Response to Events System)实验中使用了ARS1 (Analogue Ring Sampler 1)芯片^[10]。该技术的突破和成熟, 将会是粒子物理实验装置中探测器前端读出电子学的一个重大进展。

DRS4(Domino Ring Sampler 4)是一款由瑞士PSI (Paul Scherrer Institut)研究所研发的商用的先进SCA超高速波形数字化芯片, 该芯片具有9路模拟差分输入通道, 最高采样率为5 GHz, 模拟输入带宽可以达到950 MHz, 并且具有极低的功耗^[11]。本文设计了一种基于DRS4芯片的超高速波形数字化数据采集电路。本次设计采用运算放大器构成的比例运算电路来提取探测器输出的脉冲信号, 并且通过DRS4芯片将这些快速变化的信号用开关电容阵列存储, 然后将存储的电压信号低速(如33 MHz)地输出到ADC进行模数转换, 这样就可

收稿日期: 2022-09-01; 修改日期: 2022-10-11

基金项目: 中国科学院西部之光人才项目资助; 国家自然科学基金资助项目(11975292, 11875304)

作者简介: 廖顺(1995-), 男, 湖南衡阳人, 硕士研究生, 从事集成电路研究; E-mail: lynsey0719@163.com

†通信作者: 杨海波, E-mail: yanghaibo@impcas.ac.cn; 闫江, E-mail: yanjiang@ncut.edu.cn

以使用较低采样率但精度高的 ADC 来进行模数转换，最后通过 FPGA(Field-Programmable Gate Array)对这些数字信号进行处理。该电路适合于多种场合的物理实验装置的探测器前端读出电子学中，如塑料闪烁体探测器(Plastic Scintillator Detector, PSD)，溴化镧晶体探测器(LaBr3 Detector)，硅酸钇镧晶体探测器(LYSO Detector)等探测器的信号读出。该电路非常适合提取和处理探测器输出的窄脉冲信号，以满足物理实验中高采样率、多参数测量等要求。本文主要探讨基于 DRS4 的波形数字化电路设计以及相关技术。

1 基于 DRS4 的波形数字化数据采集电路设计

基于 DRS4 芯片设计了高速波形数字化数据采集电路，电路设计框图如图 1 所示，主要由模拟信号调理电路、DRS4、ADC、比较器、FPGA 及接口电路组成。为了能够提取探测器输出的微弱电荷脉冲信号，并且能够有效驱动下一级，我们将模拟信号调理电路第一级设

计为反比例运算电路来提取 16 路 PSD 的输出信号，然后经过全差分放大器将单端信号转换成差分信号作为 DRS4 的输入。DRS4 以 700 MHz 至 5 GHz 可调的采样频率对全差分放大器输出的信号进行全波形采样，直到有效事例到来时，全差分放大器的正向输出通过电压比较器产生触发信号。当 FPGA 收到信号自触发信号或者外部触发信号时，控制 DRS4 以较低的频率(如 33 MHz)输出电容阵列存储的电压，然后 ADC 将此时的模拟信号转换成数字信号，ADC 选用的型号是 AD9249，具有 16 个输入通道，输出为 16 路串行输出。在 FPGA 中对 ADC 输出的数字信号进行数字滤波，然后保存到 16 个 FIFO 中。最后 FPGA 轮回读取数据，并对其获取峰值、能量等信息。最后 FPGA 通过 USB 和上位机交互信息，上位机不仅可以获取 PSD 波形的重要信息，还可以用来灵活地配置 DRS4 的采样频率、采样深度等工作模式。需要处理多路(超过 16 路)PSD 信号时，可以使用多块电路板并联，通过共用同一个外部时钟作为系统时钟，从而实现各个电路板之间的时钟同步。

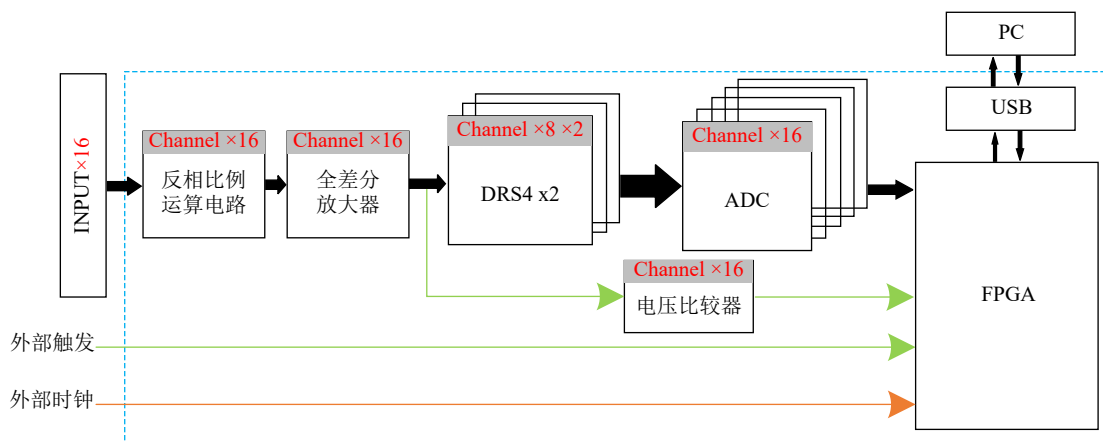


图 1 系统设计框图(在线彩图)

1.1 系统技术指标

本系统的主要参数总结：

- 1) 16 通道，每个通道 1 024 个采样深度；
- 2) 采样率在 700 MHz~5 GHz 可调；
- 3) 模拟宽带实测在 0~200 MHz 失真度误差小于 0.7 dB，在 0~100 MHz 失真度误差小于 0.2 dB；
- 4) 在 0 V 直流输入时的系统电子学噪声小于 0.5 mV。

1.2 模拟输入电路设计

由于 PSD 输出的信号是频率为兆赫兹的电荷脉冲信号，为了很好地提取该信号，并且满足 DRS4 的差分输入要求，设计了信号提取电路和单端转差分信号电路，如图 2 示。为了满足输入信号较宽的带宽，第

一级采用 AD8001AR^[12] 电流反馈型运算放大器构成 $A_{V1} = -R_{f1}/R_1 = -1$ 的反比例运算电路来提取 PSD 输出信号。通过 PSpice 仿真得到其频带宽度如图 3 红色“X”标记曲线所示。输入信号提取后，通过 THS4508 全差分放大器将单端信号转差分信号，其中 A_{V2} 为差模放大倍数， $A_{V2} = R_{f2}/R_2 = 1$ ， V_{com} 为共模输入电平。输入信号经过反比例运算电路和全差分放大器的频带宽度

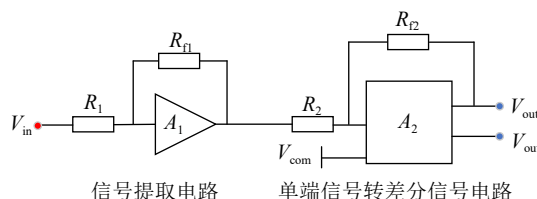


图 2 信号提取与转换电路框图(在线彩图)

如图 3 蓝色“□”标记曲线所示，系统的-3 dB 带宽为 596 MHz。

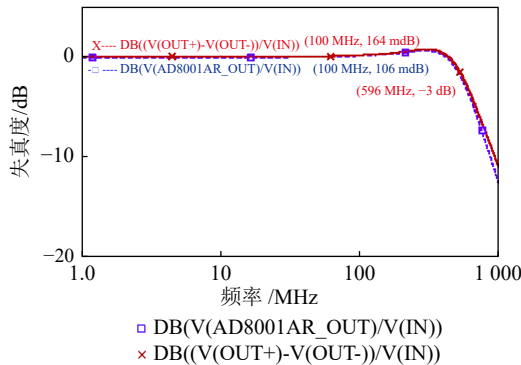


图 3 频率带宽仿真图(在线彩图)

1.3 触发电路设计

DRS4 读取储存在开关电容阵列波形的触发由板上信号自触发和外部触发两种。可以通过上位机来选择使用哪种触发模式。自触发信号由电压比较器实现，当探测器输入信号大于设置的阈值时，比较器输出高电平脉冲作为自触发信号。如图 4 所示，外部触发信号或者自触发信号有效时，等待一定的时间后，DRS4 开始读出存储在 SCA 中的波形数据。

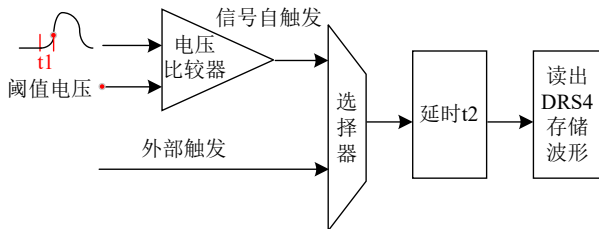


图 4 触发信号框图(在线彩图)

1.4 DRS4 信号采样原理

DRS4 的样频率由外部输入的参考时钟 (REFCLK) 的频率决定，当 REFCLK 的频率为 f 时，DRS4 根据自身 PLL 产生频率为 $2\ 048 \times f$ 的时钟对 8 个输入 (Input) 进行采样，如图 5 所示。Domino wave 采样频率根据 REFCLK 的频率从 700 MHz~5 GHz 可调。

DRS4 芯片采样部分主要由 Domino 环和开关采样电容阵列两部分组成，波形存储 (Waveform stored) 和读

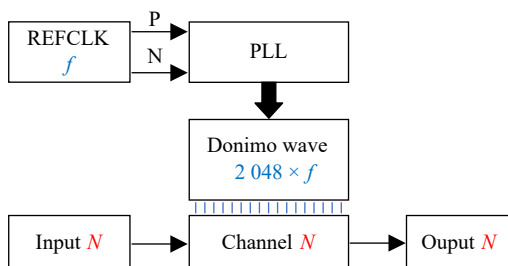


图 5 DRS4 采样时钟频率(在线彩图)

出 (Readout) 如图 6 所示，Domino 环移位由内部 PLL 产生一个 700 MHz~5 GHz 的时钟来控制开关电容阵列对输入波形各个电压进行存储。其中开关电容阵列个数即采样深度可配置成 1 024~8 192 个。当 DRS4 收到读出信号时，立即停止采样，此时以读出移位时钟 (Readout Shift Clock) 的频率输出已经存储在开关电容阵列中的电压。整个过程完成了由输入信号的 700 MHz~5 GHz 采样到输出信号的 33 MHz 读出。

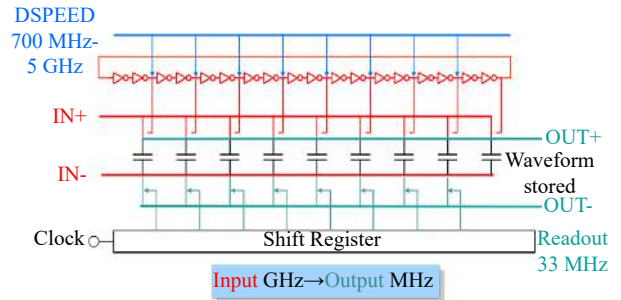


图 6 DRS4 波形存储和转换(在线彩图)

1.5 信号采样和读出

DRS4 将采集到的输入信号的电压值保存在开关电容阵列中，并且其采样频率可以通过上位机从 700 MHz 到 5 GHz 灵活配置，很方便对不同频率的输入信号进行采样，然后通过较低速时钟 (如 33 MHz) 将这些开关电容阵列存储的电压值读出。如图 7 所示，实现了从时间为 t 的输入信号展宽成时间为 kt 的输出信号，系数 k 由采样频率 f_s 和输出时钟频率 f_o 共同决定，可从几十到几百倍，如式 (1) 所示。如图 8 所示，DRS4 在采样频率为 4.096 GHz 且读出频率为 33 MHz 时，某一个通道的实际测量值，红色形曲线输入信号，其周期为 100 ns，幅值为 0.5 V 的正弦波。黑色曲线是实测输出信号，其周期为 12.4 μ s，幅值为 0.506 V 的正弦波。

$$k = f_s / f_o \tag{1}$$

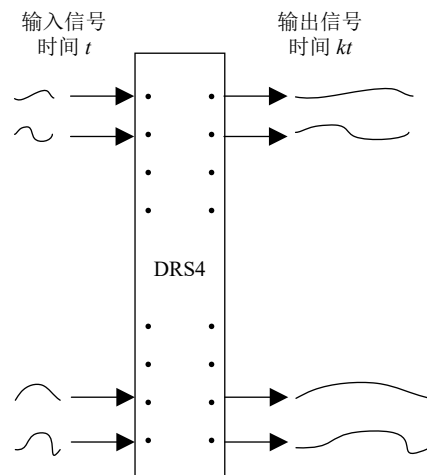


图 7 DRS4 的输入信号和输出信号时间

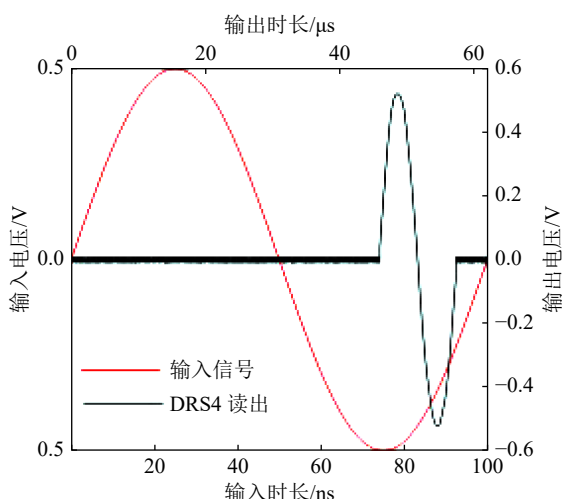


图 8 实际输入信号和输出信号对比(在线彩图)

2 FPGA 设计

FPGA 主要用来实现各个模块的驱动，数字信号的处理和各个模块控制的工作。FPGA 选择的型号是 Xilinx 公司的 XC7K325T-2FFG900I。图 9 给出了 FPGA 设计框图。复位顺序模块主要用于处理各个模块的同步复位，首先由硬件异步复位转变成系统时钟控制的同步复

位，待 DAC 为其他模块输出稳定的参考电压后，再控制 DRS4 模块复位，然后 ADC 再复位。时钟管理模块用来将系统时钟通过 IP(Intellectual Property)核生成不同频率的时钟为各个模块提供工作时钟，执行顺序模块控制数据的流向，FPGA 接收到触发信号后，控制 ADC 将 DRS4 开关电容阵列中存储的电压值先进行模拟信号转数字信号，FPGA 得到数字信号后对数据进行信息提取，如能量信息、时间信息等，最后通过 USB(Universal Serial Bus)接口发送给上位机。上位机通过 USB 下发命令给 FPGA，用来设置 DRS4 的采样频率、采样深度等不同工作模式。FPGA 控制 DAC 模块输出不同的电压值，给全差分放大器、DRS4、ADC 提供高精度偏置电压和触发电路中比较器的阈值电压。DRS4 驱动模块主要是配置 DRS4 的采样频率、采样深度、读出数据等。ADC 模块主要由两个部分组成，一是通过 SPI(Serial Peripheral Interface)给 ADC 的寄存器配置赋值来设置输出参考电压、数字输出编码、数字输出精度等等，二是数据解码，每次数据时钟的采样都需要严格控制在产生数据的时间窗内，才能保证数据解码成功。

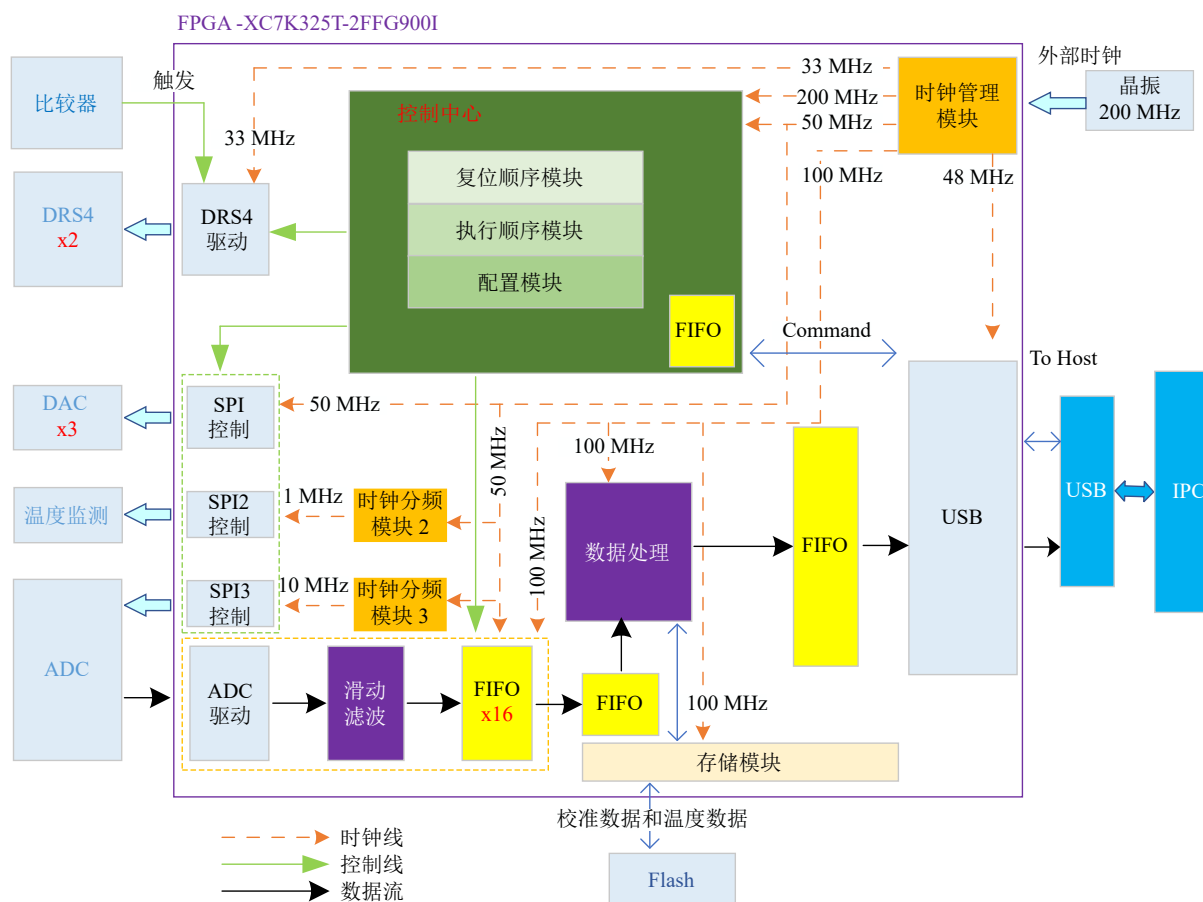


图 9 FPGA 设计框图(在线彩图)

3 性能测试与分析

3.1 模拟输入带宽测试

信号发生器产生幅值为 500 mV，频率从 0~200 MHz 的正弦波信号作为输入信号。测得 AD8001AR 和 THS4508 输出频谱图，如图 10 所示。模拟输入电路在输入正弦信号 0~200 MHz 时失真度误差小于 0.7 dB，在输入正弦信号 0~100 MHz 时失真度误差小于 0.2 dB。

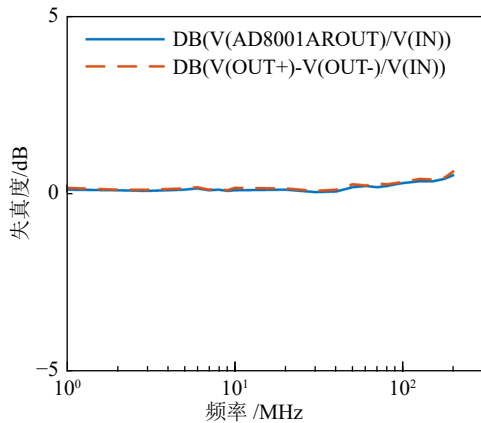


图 10 频率带宽实测图(在线彩图)

3.2 噪声测试

在 DRS4 校准完成后，使用 0 V 直流作为输入时得到的对应的输出值，结果如图 11 所示。将采集到的输出值求高斯分布，其所得到的 μ 作为平均值 Mean，Mean 为 0.160 8 mV；其所得到的 σ 作为 RMS，得到的 RMS 为 0.480 7 mV。在校准完成后，用 0 V 直流作为激励得到的系统电子学噪声小于 0.5 mV。

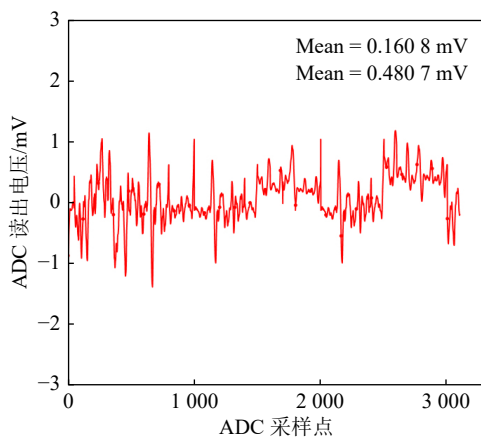


图 11 在校准完后 0 V 直流输入对应的实际输出值(在线彩图)

3.3 线性测试

DRS4 数据采集电路的输入信号由脉冲发生器产生频率为 10 MHz，幅值从 100 mV 到 1 V，步进为 100

mV 的正弦波，每个幅值采集 5 000 个波形。该测试中，根据统计记录的数据，推导出不同幅值的正弦输入信号对应的读出电子学输出的幅度的线性拟合函数。由式 (2) 计算电子学系统的非线性：

$$V_{\text{nonlinearity}} = \text{Max}_{100 < n < 1000} \{O_{\text{test}_n} - O_{\text{fit}_n}\}, \quad (2)$$

其中： $V_{\text{nonlinearity}}$ 为非线性电压值； O_{test_n} 是在 n 毫伏幅值的正弦输入对应的实际输出值； O_{fit_n} 是对 n 毫伏幅值的正弦输入对应的输出信号的线性拟合的拟合值。如图 12 所示，不同幅值的输入得到的非线性，最大不超过 1.9 mV。由式 (3)：

$$I_{\text{INL}} = \frac{|V_{\text{out_fit}} - V_{\text{out}}|_{\text{MAX}}}{V_{\text{o-MAX}}}, \quad (3)$$

求得积分非线性 (Integral Non-Linearity, INL) 为 0.95%，其中 I_{INL} 为积分非线性， $V_{\text{out_fit}}$ 为拟合输出值， V_{out} 为与其对应的实际输出值，如图 13 所示。

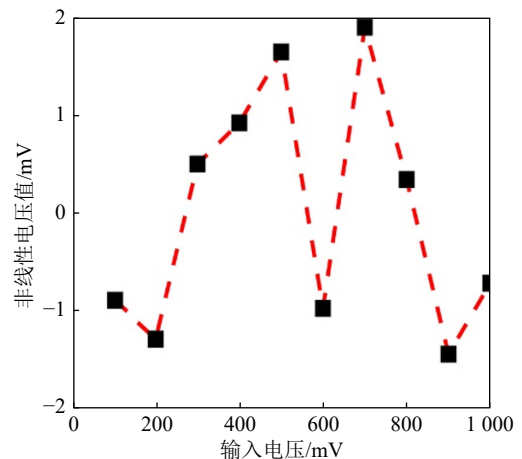


图 12 读出电子学的非线性(在线彩图)

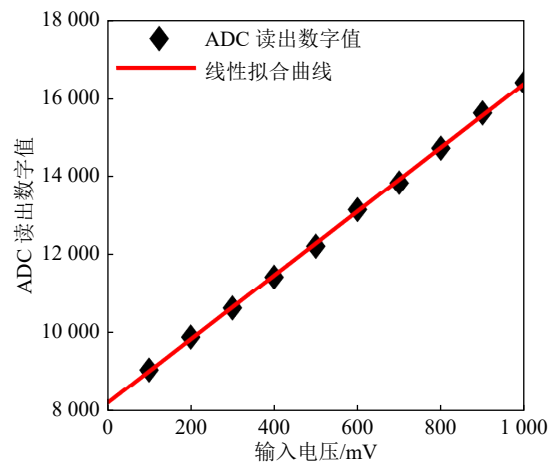


图 13 实际输出与输出的线性拟合(在线彩图)

3.4 探测器联调

使用 DRS4 数据采集电路与 PSD 进行了联合测试。

测试方案框图如图 14 所示, PMT 的供电电压为-950 V。宇宙射线击中塑料闪烁体后发出荧光, 荧光被 PMT 探测器转化为电荷信号 [13-14], DRS4 数据采集电路将电荷脉冲信号波形数字化, 最后将处理完的数据发送给上位机。DRS4 的采样频率 f_s 、采样深度 S_N 、对输入信号的采样时长 T_s 这三个的关系如式 (4) 所示。在测量 PMT 输出波形时, 将 DRS4 芯片的采样深度 S_N 设置成 1 024 个, 在采样频率 f_s 分别设置为 2.048, 3.072, 4.920 GHz 时, 得到的数据所绘制的三条 PMT 输出信号波形, 如图 15 所示。在 DRS4 的读出频率和 ADC 的转换速率一致时, DRS4 的采样频率越高, 相等时间长度输入信号对应的采样点数越多, 即 $S_{N(4.920\text{ GHz})} > S_{N(3.125\text{ GHz})} > S_{N(1.024\text{ GHz})}$ 。

$$T_s = S_N / f_s \quad (4)$$

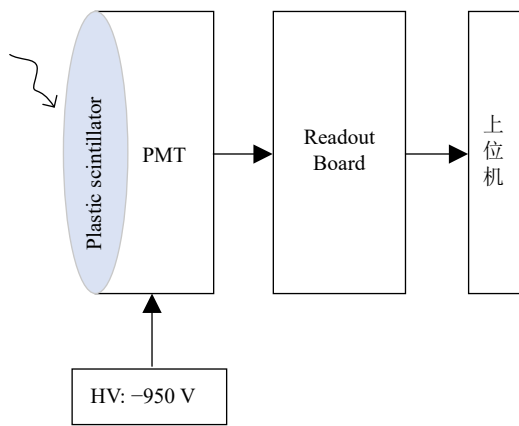


图 14 DRS4 数据采集电路与探测器联调 (在线彩图)

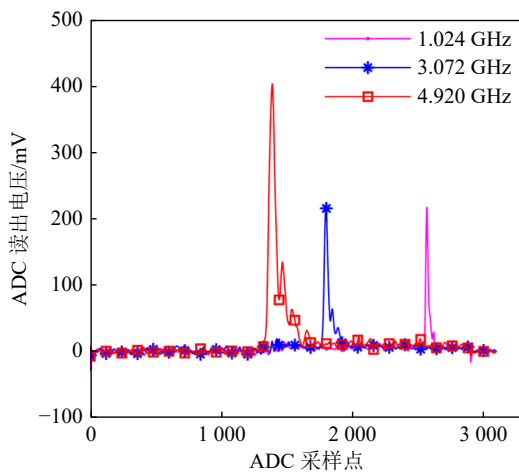


图 15 不同频率采样到的探测器输出波形 (在线彩图)

4 结语

本文基于 SCA 波形数字化技术设计了一款基于 DRS4 芯片的高速采样数据采集电路, 用于物理实验装置中探测器输出信号的采样和处理。该电路主要由模拟提取电路、DRS4 电路、ADC 电路、FPGA、DAC 电路、触发电路和接口电路等组成。在本次电路设计中, 输入信号的采样以 DRS4 芯片为核心, 数据处理以 FPGA 为核心, 对电荷窄脉冲信号进行波形数字化处理。测试结果表明, 该电路的模拟宽带在 0~200 MHz 时失真度误差小于 0.7 dB, 在 0~100 MHz 失真度误差小于 0.2 dB, 采样率高达 5 GHz, 最大非线性度不超过 1.9 mV。在校准后, 0 V 直流作为输入, 通道的电子学噪声小于 0.5 mV, 积分非线性优于 1%。并且与 PSD 进行了联合测试, 可以满足物理实验装置中探测器多参数测量的需求。

参考文献:

- [1] STEELE J, BROWN J A, BRUBAKER E, et al. *Journal of Instrumentation*, 2019, 14(2): 02031.
- [2] LIU J, ZHAO L, YAN L, et al. *Nucl Instr and Meth A*, 2019, 925: 53.
- [3] HIEN D S, SENZAKI T. *Nucl Instr and Meth A*, 2001, 457(1): 356.
- [4] KITAMURA T, ISLAM M, HISAKADO T, et al. *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, 2022, 105(11): 1450.
- [5] WANG J, ZHAO L, FENG C, et al. *IEEE Transactions on Nuclear Science*, 2012, 59(5): 2435.
- [6] ZHOU Y, SUN Z Y, YU Y H, et al. *Nuclear Science and Techniques*, 2016, 27(3): 1.
- [7] BOGDAN M, HUAN H, WAKELY S. *Nucl Instr and Meth A*, 2013, 718: 192.
- [8] RITT S, DINAPOLI R, HARTMANN U. *Nucl Instr and Meth A*, 2010, 623(1): 486.
- [9] ANDRÉS E, ASKEBJER P, BARWICK S W, et al. *Nuclear Physics B-Proceedings Supplements*, 1999, 70(1-3): 448.
- [10] VINCENZO F. *Nuclear Physics B*, 2013, 239-240: 176.
- [11] Paul Scherrer Institute, 9 Channel, 5 GSPS, Switched Capacitor Array, Paul Scherrer Institute [EB/OL]. [2022-08-21]. https://www.psi.ch/sites/default/files/2020-08/DRS4_rev09_2.pdf.
- [12] Analog Devices, 800 MHz, 50 mW Current Feedback Amplifier, AD8001, Analog Devices [EB/OL]. [2022-08-21]. <https://www.analog.com/media/en/technical-documentation/datasheets/AD8001.pdf>.
- [13] CATTANEO P, PULLIA M, PRATA M, et al. *Journal of Instrumentation*, 2020, 15(7): C07027.
- [14] DONG T, ZHANG Y, MA P, et al. *Astroparticle Physics*, 2019, 105: 31.

Research on High Speed Data Acquisition Circuit Based on SCA Technology

LIAO Shun^{1,2}, YANG Haibo^{2,3,†}, ZHANG Honghui^{1,2}, ZHOU Xiancai^{1,2}, ZHANG Honglin^{2,3}, YAN Jiang^{1,†}, ZHAO Chengxin^{2,3,1}

(1. College of Big Data and Information Engineering, Guizhou University, Guiyang 550025, China;

2. Institute of modern physics, Chinese Academy of Sciences, Lanzhou 730000, China;

3. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Waveform digitization technology based on Switched Capacitor Array(SCA) is one of the important development fields of front-end readout electronics for future physical experiment facilities. In this paper, an ultra-high-speed waveform digital data acquisition circuit based on SCA chip DRS4(Domino Ring Sampler 4) is designed. A single channel of the DRS4 can sample the full waveform of the detector output signal at a sampling rate of up to 5 GHz. The circuit is mainly composed of analog conditioning circuit, a DRS4 circuit, ADC(Analog-to-Digital Converter) circuit, FPGA(Field-Programmable Gate Array), DAC (Digital-to-Analog Converter) circuit, a trigger circuit, an interface circuit, *etc.* Performance tests show that the circuit's noise is less than 0.5 mV, and the Integral Non-Linearity (INL) is better than 1%. In addition, the analog input bandwidth of this circuit is very high, the sampling rate is adjustable from 700 MHz to 5 GHz, and it has good nonlinearity. Therefore, the data acquisition circuit is versatile and suitable for detector readout in various physical experiment facilities.

Key words: Switched Capacitor Array; DRS4; waveform sampling; performance testing

Received date: 01 Sep. 2022; **Revised date:** 11 Oct. 2022

Foundation item: CAS "Light of West China" Program; National Natural Science Foundation of China(11975292, 11875304)

† **Corresponding author:** YANG Haibo, E-mail: yanghaibo@impcas.ac.cn; YAN Jiang, E-mail: yanjiang@ncut.edu.cn