



高重频束流采集处理器原型样机的设计

田丰收 赵雷 范怡淳 秦家军 赖龙伟 刘树彬 安琪

Design of High-repetition-rate Beam Sampling Processor Prototype

TIAN Fengshou, ZHAO Lei, FAN Yichun, QIN Jiajun, LAI Longwei, LIU Shubin, AN Qi

在线阅读 View online: <https://doi.org/10.11804/NuclPhysRev.38.2021020>

引用格式:

田丰收, 赵雷, 范怡淳, 秦家军, 赖龙伟, 刘树彬, 安琪. 高重频束流采集处理器原型样机的设计[J]. *原子核物理评论*, 2021, 38(4):402–409. doi: 10.11804/NuclPhysRev.38.2021020

TIAN Fengshou, ZHAO Lei, FAN Yichun, QIN Jiajun, LAI Longwei, LIU Shubin, AN Qi. Design of High-repetition-rate Beam Sampling Processor Prototype[J]. *Nuclear Physics Review*, 2021, 38(4):402–409. doi: 10.11804/NuclPhysRev.38.2021020

您可能感兴趣的其他文章

Articles you may be interested in

用于波形数字化的JESD204B高速接口设计

Design of JESD204B High Speed Interface for Waveform Digitization

原子核物理评论. 2017, 34(4): 745–754 <https://doi.org/10.11804/NuclPhysRev.34.04.745>

Back-n波形数字化模块的数据实时读出方法

Real-time Readout Method of Waveform Digitizing Module at Back-n

原子核物理评论. 2018, 35(2): 159–164 <https://doi.org/10.11804/NuclPhysRev.35.02.159>

基于开关电容阵列ASIC芯片的多通道波形数字化系统设计

Multi-channel Waveform Digitization System Utilizing Switched Capacitor Array ASICs

原子核物理评论. 2017, 34(4): 755–761 <https://doi.org/10.11804/NuclPhysRev.34.04.755>

用于SCA ASIC测试的数字读出模块设计

Design of a Digital Readout Module for SCA ASIC Testing

原子核物理评论. 2020, 37(1): 74–81 <https://doi.org/10.11804/NuclPhysRev.37.2019025>

CEE实验中TOF探测器数据获取系统的设计

Design of Data Acquisition System for TOF Detectors in the CEE Experiment

原子核物理评论. 2021, 38(3): 301–310 <https://doi.org/10.11804/NuclPhysRev.38.2020070>

硅探测器的数字化脉冲形状甄别

Digital Pulse Shape Discrimination for Silicon Detector

原子核物理评论. 2017, 34(2): 177–183 <https://doi.org/10.11804/NuclPhysRev.34.02.177>

文章编号: 1007-4627(2021)04-0402-08

高重频束流采集处理器原型样机的设计

田丰收^{1,2}, 赵雷^{1,2,†}, 范怡淳^{1,2}, 秦家军^{1,2}, 赖龙伟³, 刘树彬^{1,2}, 安琪^{1,2}

(1. 核探测与核电子学国家重点实验室, 中国科学技术大学, 合肥 230026;
2. 中国科学技术大学近代物理系, 合肥 230026;
3. 中国科学院上海高等研究院, 上海 201204)

摘要: 为了实现对高重频硬 X 射线自由电子激光装置 (SHINE) 条带型 BPM(Beam Position Monitor) 系统信号的数字化采样和处理, 研制了高重频束流采集处理器原型样机。处理器拥有四通道输入, 最高达 1 GSps 的采样率, 16 bit 采样位数, 采用 XILINX 公司带有嵌入式 CPU(Central Processing Unit)的 ZYNQ 系列 FPGA(Field Programmable Gate Array), 可以运行 Linux 系统, 同时可以实现高速采样数据的缓存与读出。处理器采用子母板结构设计, 子板为 ADC(Analog To Digital Converter) 采样板, 母板为 FPGA 数字处理板, 子母板通过 FMC(FPGA Mezzanine Card) 接口进行数据传输。ADC 采用 JESD204B 协议进行数据传输, 子母板间通过 16 对差分信号连接通道, 最大总传输速率达到 80 Gbps。ADC 采样数据传入数字母板后, 经过 FIFO 和 DDR 的缓存, 最后通过 TCP/IP 协议由 RJ45 接口传输到上位机进行处理和分析, RJ45 接口的数据传输速率约为 900 Mbps。经过测试, ADC 采集子板的带宽高于 480 MHz, 且在 480 MHz 带宽内有效位高于 10 位。FPGA 数字母板运行经 Petalinux 编译的 Linux 系统, 可以实现对连续或者触发模式下, 四通道一百万个采样点的存储与数据传输。整个设计可以满足设计要求。

关键词: SHINE; ZYNQ; 高速数据采集; 波形数字化

中图分类号: TP274⁺.2

文献标志码: A

DOI: 10.11804/NuclPhysRev.38.2021020

1 引言

作为新一代光源, 硬 X 射线自由电子激光装置 (SHINE) 相比于第三代光源具有更高的峰值亮度, 更短的脉冲宽度, 以及更好的相干性, 在基础科学和先进技术的研究中起到关键作用, 是各大国追求科技领先争相研制的国之重器。BPM(Beam Position Monitor) 系统是硬 X 射线自由电子激光装置中的重要组成部分, 主要包括条带型 BPM 系统、纽扣型 BPM 系统、腔式 BPM 系统等。高重频束流采集处理器即为了硬 X 射线自由电子激光装置中的条带式 BPM 系统信号的数字化和处理而研制。条带 BPM 系统具有较高的灵敏度, 同时技术比较成熟, 因而广泛应用在同步辐射光源的直线加速器和 X 射线自由电子激光装置中^[1], 其具有很高的空间分辨率和稳定度, 并且有很多现有的技术经验可以借鉴。典型的条带 BPM 系统的结构如图 1 所示, 包括条带型电极探头、信号调理前端和信号采集与处理系统。

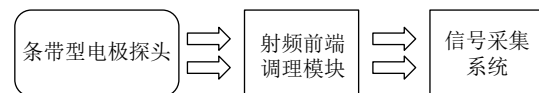


图 1 条带 BPM 系统结构图

高重频束流采集处理器接收射频前端调理后的信号, 为图 1 中信号采集系统的核心部分^[2]。为了方便后期升级, 处理器原型采用子母板结构设计^[3], 通过模拟信号采集模块来实现波形数字化功能, 通过数字信号处理模块来实现采样数据的存储和与后端数据获取 (Data Acquisition, DAQ) 系统的通信。模拟信号采集模块采用四通道单端输入连接, 经过运放进行单端转差分之后, 再由两片双通道 1 GSps 采样率、16 bit 精度的高速 ADC(Analog to Digital Converter) 进行模拟信号的数字化。在 1 GSps 情况下, ADC 每条信号线数据率高达 5 Gbps, 为满足如此高速的数据传输速率, 子母板间采用 FMC(FPGA Mezzanine Card) 连接器 (其最高支持 10 Gbps) 进行通信。FPGA(Field Programmable Gate Array) 母板提供了用于触发的 SMA(Small A Type) 接

收稿日期: 2021-03-08; 修改日期: 2021-04-20

基金项目: 中国科学院知识创新工程重要方向性项目 (KJXC2-YW-N27); 中国科学院青年创新促进会

作者简介: 田丰收 (1992-), 男, 吉林德惠人, 硕士研究生, 从事核电子学研究; E-mail: tianfs@mail.ustc.edu.cn

† 通信作者: 赵雷, E-mail: zlei@ustc.edu.cn.

口,支持外触发、周期触发和自定义触发三种模式。母板采用 XILINX ZYNQ 系列 FPGA,其带有嵌入式 CPU(Central Processing Unit),支持运行 LINUX 系统,ADC 采样原始数据经过 FPGA 处理后,送入板载 DDR4 (Double Data Rate Synchronous Dynamic Random Access Memory 4) 缓存,然后通过光纤接口或者千兆以太网口传送到数据获取 (DAQ) 系统中。在设计工作完成后,还进行了 ADC 动态性能测试,评估了此采集处理器原型样机的性能指标。

2 高重频束流采集处理器样机的设计

由第1节所述,处理器采用子母板结构设计,可以实现四通道同时采样。模拟子板和数字母板分别设计了板载时钟,子板时钟用来提供 ADC 采样和同步时钟,母板时钟则用来实现母板的系统运行以及与 DAQ 通信等功能。子板所用 12 V 电源由母板通过 FMC 接口提供,子板 ADC 和时钟也通过 FMC 接口由母板 FPGA 配置。处理器整体结构框图如图 2 所示。

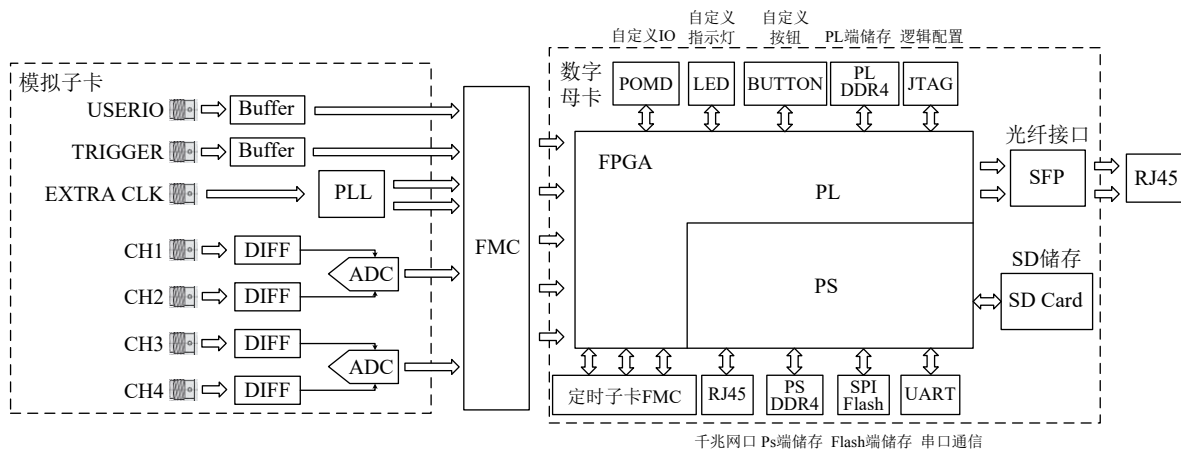


图 2 处理器整体结构框图

2.1 模拟信号采集模块设计

模拟信号采集模块主要用来实现输入信号的波形数字化,同时提供触发接口、用户自定义接口和外时钟接口。采用四通道输入,通过运放实现信号的单端转差分,还可以通过改变增益对输入信号的幅值进行调整以最大化地利用 ADC 的输入动态范围。另外还为外接触发信号和用户自定义信号设计了缓冲器 (buffer) 来提高其驱动能力。

ADC 前端模拟电路中运放的性能好坏对系统的性能有直接的影响。运放的谐波性能应好于 ADC 指标,运放的带宽和压摆率也需要高于应用需求。设计中选用了 TI 公司生产的高速、高带宽、低噪声全差分放大器 LMH5401,因其具有优秀的谐波失真,在输入正弦波频率 500 MHz、,输出电压 $V_o=2V$ 情况下,二次谐波失真 (HD2) 典型值为 -75dBc ,三次谐波失真 (HD3) 为 -75dBc ,同时其输入电流噪声和输入电压噪声都很低,其中输入电压噪声为 $1.25\text{nV}/\sqrt{\text{Hz}}$,输入电流噪声为 $3.5\text{pA}/\sqrt{\text{Hz}}$,压摆率为 $17500\text{V}/\mu\text{s}$,可以满足实际需求。

采样时钟质量是决定数据采集系统性能的关键因素之一,采样时钟的抖动会导致孔径误差,进而影响 ADC 信噪比,导致系统性能下降^[4]。模拟信号采集模块时钟可选择由板载晶振产生或者外部输入,提供给

ADC 作为采样时钟和同步时钟,以及用于 FPGA 高速串行收发器的同步与解串。处理器采用 1 Gpsps、16 bit 的高速高分辨率 ADC,对采样时钟质量的要求很高。LMK04832 是 TI(Texas Instruments) 公司生产的一款时钟发生芯片,可以提供多路时钟输出,其时钟抖动只有几十 fs,还支持 JESD204B 协议的同步时钟输出,可以满足设计需求。此外,其还可以通过配置实现输入时钟选择功能,无需再设计外部时钟选择器,简化了系统复杂度^[5]。时钟结构如图 3 所示。

电源质量的好坏对系统性能也有很大影响。模拟信号采集模块采用 12 V 供电,电源由数字处理模块通过 FMC 接口提供。ADC 的供电电压有四种,分别是模拟 1.9 V 电压、数字 1.9 V 电压、模拟 3.0 V 电压和数字 1.15 V 电压,考虑到数字信号传输速率很快,为了避免影响模拟信号质量,采取对上述四种电压分别供电的办法。此外,时钟芯片需要 3.3 V 电源,运放需要 +4.5 V 和 -0.5 V 电源供电,用于驱动触发信号和自定义信号的驱动器需要 3.3 V 电源供电。电源芯片采用了开关电源 (DC-DC) 和线性稳压电源 (LDO) 结合的方式,由开关电源先把 12 V 降至芯片所需电压值附近来提高电源效率,再通过 LDO 提供芯片所需的电压值。供电电源示意图如图 4 所示。

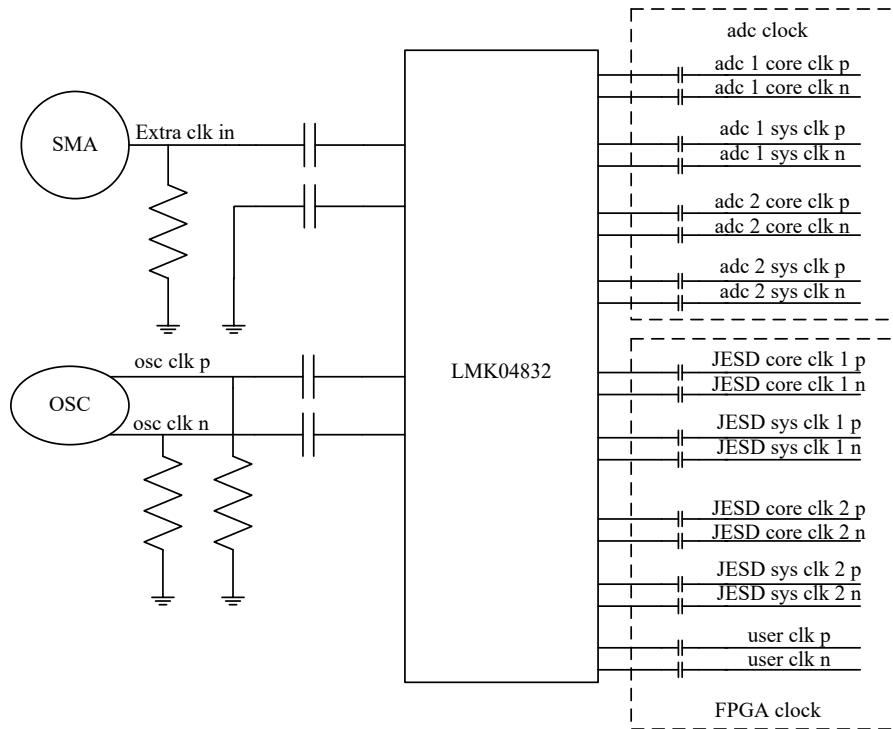


图 3 模拟信号处理模块时钟电路结构

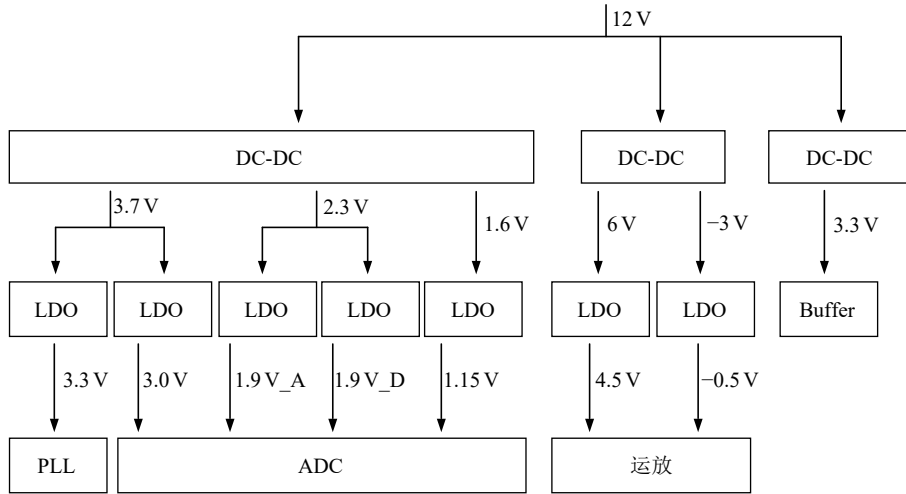


图 4 模拟信号采集模块电源结构示意图

2.2 数字信号 FPGA 处理模块设计

处理模块 FPGA 采用了 ZYNQ ultrascale+ 架构，不仅提供了 64 位处理器可扩展性，同时还将实时控制和硬件引擎相结合，包含了处理系统 (Processing System, PS) 和可编程逻辑 (Programmable Logic, PL) 两部分，可为复杂的多任务设计提供高度的灵活性 [6]。

处理模块设计了连接 PS 端的 DDR4 用来作为 LINUX 系统的运行内存，同时也可以通过 DMA (Direct Memory Access, 直接存储器访问) 的方式向其中直接存储数据，其采用 SO-DIMM (small outline dual in-line memory module) 封装的形式,可以使用商用的笔

记本内存，降低了维护的难度和成本。此外还有连接在 PL 端的 DDR4，采用了两片 4GB 大小的 32bit 内存并联，可以实现 64bit 并行数据的存储，用于实时数据的缓存。此外还有用于系统启动的 SD Card (Secure Digital Memory Card) 储存和 Flash 闪存，系统启动模式可以通过拨码开关进行选择。

处理模块的时钟主要由 TI 公司的时钟发生芯片 LMK04828 提供，其具有多个输出通道，小于 100 fs 的时钟抖动，时钟发生芯片的时钟主要用来提供光口、千兆网口、串口、USB (Universal Serial Bus) 接口等所需的时钟，同时提供两路供 FPGA 内部逻辑编程使用。

还有板载 50 MHz 单端晶振用来提供给 FPGA PS 端 CPU 启动使用，另外还设计了 125 MHz 差分板载晶振用来为可编程逻辑部分提供启动支持。

处理模块还包含了丰富的接口，其中包括与模拟信号模块相连接的接口，为了满足后续的升级与更新，该接口采用了最新的 FMC+ 标准，其拥有 560 个引脚，包括 32 个高速引脚，最高可以达到 28 Gbps 的数据率，可以与模拟信号模块的 FMC 标准兼容。考虑到未来可能需要的定时功能，处理模块还预留了与定时模块相连接的 FMC 接口。此外还有用来与数据获取系统进行通信的串口、千兆以太网接口、SFP (Small Form-factor Pluggable) 光纤接口等。还设计了用户自定义输入或输出的外设模块接口。其中光纤接口采用了 MOLEX 公

司的 74441-0010 芯片，支持高达 10 Gb/s 的数据传输速率。以太网接口则通过 FPGA 内部千兆以太网控制器+外置物理层芯片的方式实现。另外采用了 CP2108 串口转 USB (Universal Serial Bus) 芯片，支持 USB 2.0 协议，使得串口通信可以通过标准 USB 接口完成。

处理模块采用了 12 V 直流电源供电，通过 DC-DC 开关电源转换为 FPGA 以及其他芯片所需电源，其中时钟芯片和 FPGA GTH Bank 对电源质量要求较高，所以通过线性稳压电源 LDO 转换后再进行供电。由于 FPGA 对上电顺序有要求，故选用了 TI 公司的 TPS3808 芯片进行上电顺序控制，具体上电顺序与处理模块供电电源结构图 [7] 见图 5。

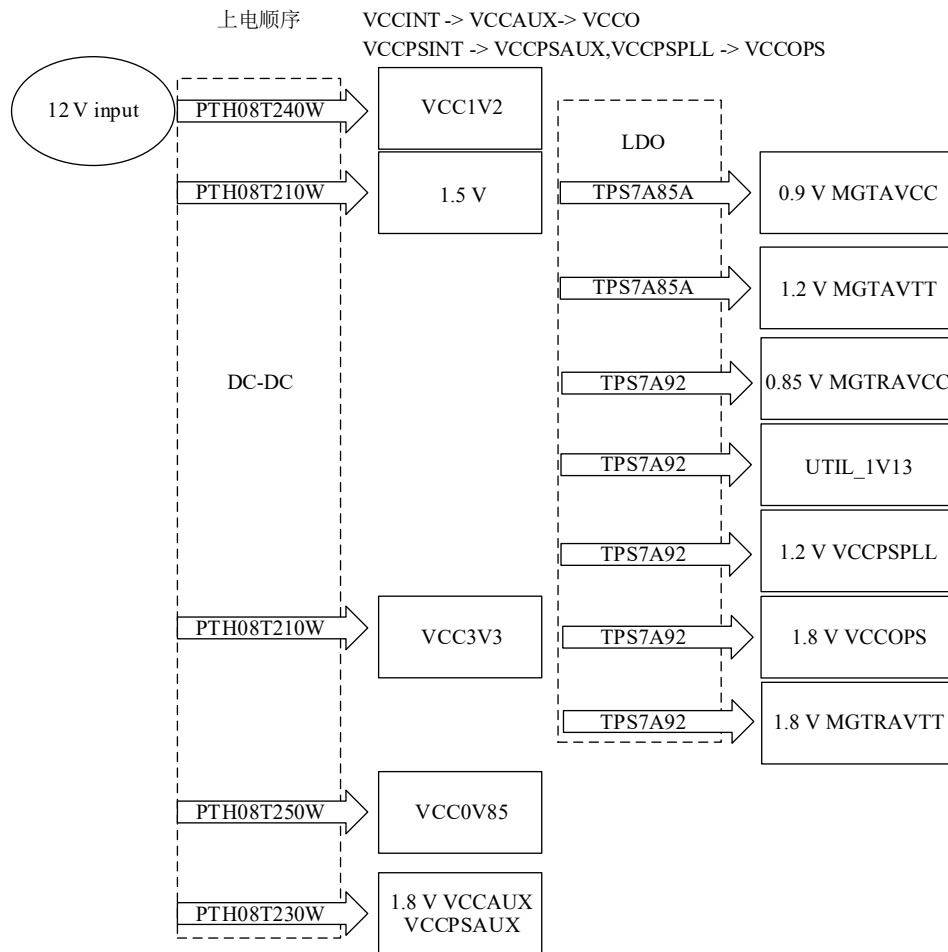


图 5 数字信号处理模块电源结构示意图

2.3 高速数据的读出逻辑

为了验证处理器的功能，还编写了基于 FPGA 的高速数据读出逻辑，FPGA 逻辑的整体结构框图如图 6 所示。框图的上下两部分分别对应 Zynq MPSoC 的 PS 和 PL 端。PS 端片外有千兆以太网口、DDR4 存储器和

串口，PL 端片外有两个 SFP 接口、DDR4 存储，并接收 ADC 输出的 JESD204B 协议的高速数据。从 ADC 采样数据的流向来看，首先由两个 JESD204 IP Core 分别接收两片 ADC 输出的数据，由子板上的时钟发生芯片 LMK04832 向 ADC 提供采样时钟和同步 (SYSREF)

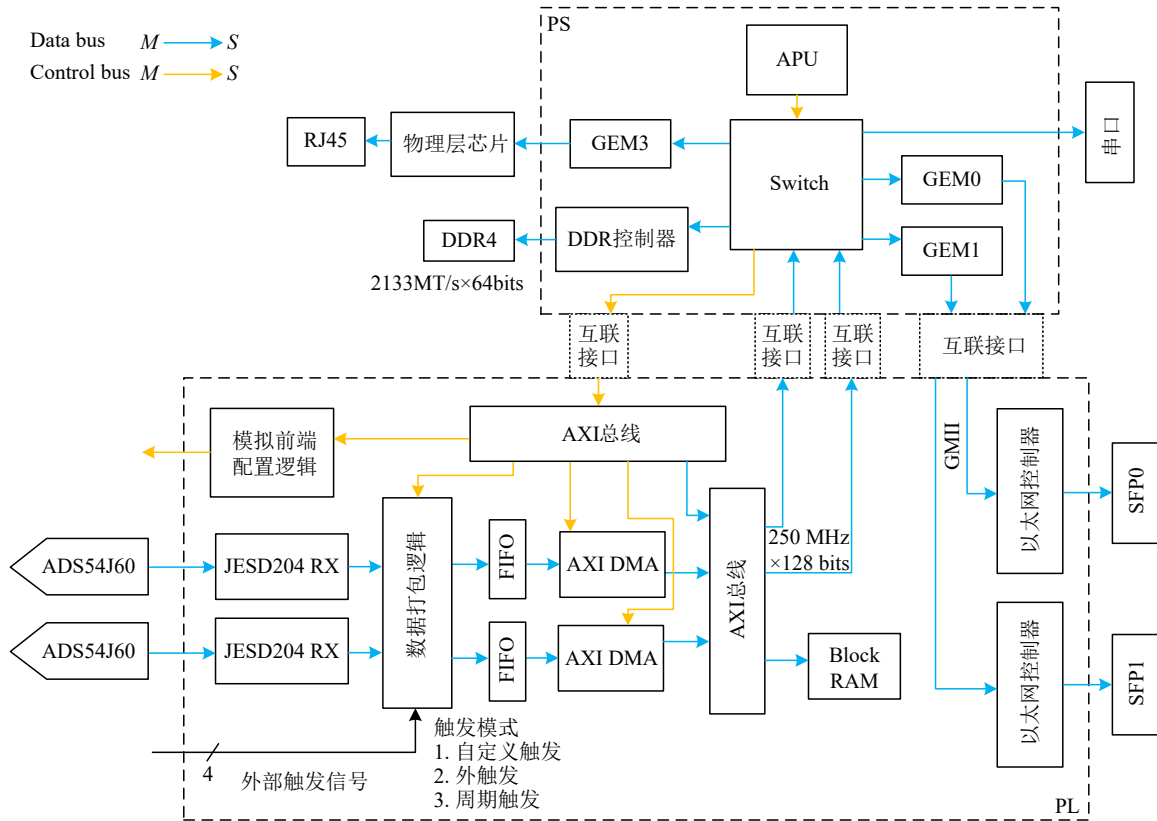


图 6 (在线彩图) 高速数据读出逻辑结构框图

时钟，同时还会向 PL 端提供 CORE 时钟和 SYS-REF 时钟。JESD204 IP Core 主要包括物理层和链路层两部分，由物理层实现对高速串行数据进行解串，再由链路层实现同步。IP Core 的输出即是 AXI4-Stream (Advanced extensible interface 4-Stream) 协议的并行数据。之后将采样数据转成 AXI4-Stream 格式的高速并行数据流。接下来由数据打包逻辑对这两个高速数据流分别进行同步和数据重组，并通过触发使能控制来实现多种触发模式。经过使能控制的数据流首先在 FIFO 中进行缓存，再通过 DMA(Direct Memory Access) 转换成带有地址的 AXI4 协议的数据。然后再经过 PS 与 PL 之间的 HP 端口，数据通过 PS 内部集成的 DDR 控制器写入到 PS 侧的 DDR 存储器中。在完成了一次采集之后，通过 RJ45 千兆网口或 SFP 光口将数据发送出去以便后台数据储存与处理显示。

ADC 与 FPGA 之间的通信采用了 JESD204B 协议，JESD204B 标准是一种分层规范，其包含了应用层、传输层、数据链路层和物理层。应用层用来完成用户配置，ADC 和 FPGA 的配置必须相同才可以实现正确的数据传输。以下是需要配置的主要参数：

- M: 每个转换器器件的转换器数量；
- S: 每个转换器每帧发送的样本数；

L: 通道数量，需要根据链路能传输的最大数据速率进行设置；

F: 每帧所发送的字节数量。

传输层则是根据应用层定义好的链路配置参数来对 ADC 数据进行包装，将 ADC 采样数据信息补充控制位和结束位产生半字节组，并将其组装成帧的格式。数据链路层则负责接受来自传输层的并行帧数据，并进行 8B/10B 数据转换，转换后的数据将送入物理层中进行串并转换^[8]。此外数据链路层要进行链路的建立，共分为代码组同步 (CGS)、初始通道对齐序列 (ILAS)、数据传输三个过程^[9]。

处理器最大采样率达 1 Gsps，ADC 的分辨率为 16 位，共有两个通道，经过 8B/10B 数据转换后^[10]，产生的数据流高达 40 Gbps。ADC 和 FPGA 的 JESD204B 参数设置如下，ADC 选择 8 通道输出 (L=8)，单通道数据率为 5 Gbps。N' 是 JESD204B 的字大小，对于本设计，N' = 16，而 F 和 S 的关系由下面的公式决定：

$$F = (M \times S \times N') / (8 \times L), \quad (1)$$

对于处理器所用 ADC，M 也就是转换器数量^[11]为 2，L=8，每个转换器每帧发送的样本数 S 设置为 2，则每帧所发送的字节数 F 也等于 2。

为了实现与上位机的通信，还进行了基于 FPGA

ARM核的应用软件开发。下位机软件运行于 LINUX 操作系统之上，主要实现两个功能。其一是对 PL 端逻辑的配置，实现对模拟前端电路的控制和高速数据流的传输；其二是调用 Socket，实现与上位机之间的 TCP/IP 协议的数据传输。

3 高重频束流采集处理器性能测试

在上述设计完成后，还在实验室环境中对此处理器原型进行了测试，评估了其性能。进行了输入正弦波的频谱分析和带宽测试。测试平台框图如图 7 所示。其中信号源为安捷伦公司的 SMA100B 正弦波信号发生器，信号经过模拟信号处理模块被采样，然后传送到数字信号处理模块进行打包和存储，最后通过运行于 FPGA 上的下位机软件传输到测试软件进行处理显示。

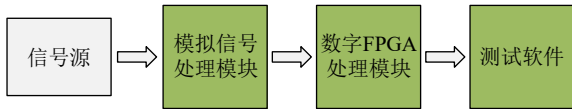


图 7 (在线彩图) 测试平台框图

带宽是评估数据采集系统的重要指标，所以首先对处理器进行了带宽测试，通过输入已知频点和幅度的正弦波，测试出 ADC 数字化之后的信号幅度值，进一步反算出处理器的模拟带宽。测试结果如图 8 所示。测试结果表明处理器的 -3 dB 带宽大于 480 MHz，可以满足处理器的实际应用场景需求。

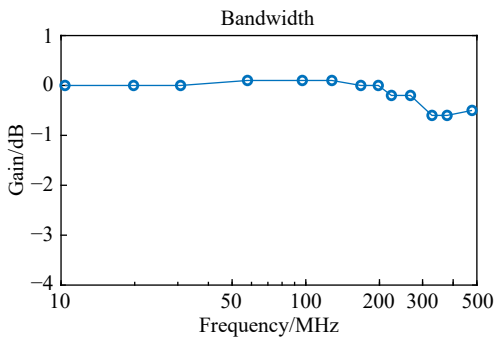


图 8 (在线彩图) 带宽随输入正弦波变化

在此测试工作完成后，进行了处理器的有效位测试。首先将高品质的正弦波发生器输出的正弦波输入到处理器中，然后通过频谱分析获取其动态性能参数。图 9 和图 10 分别显示了输入正弦波 60 MHz 和 230 MHz 时 ADC 输出的频谱图，由图可知，输入 60 MHz 正弦波时，ADC 的有效位约为 10.8 位，二次谐波 HD(2) 约为 -94.5 dB，三次谐波 HD(3) 约为 -79.8 dB。输入 230 MHz 正弦波时，ADC 有效位约为 10.6 位，SNR 约为 65.9 dB，二次谐波 HD(2) 约为 -82.9 dB，三次谐波 HD(3) 约为

-90.7 dB。根据 ADC 手册参数，在输入 230 MHz 正弦波时，ADC 的有效位是 11.2 位，SNR 是 69.2 dB，HD(2) 为 86 dB，HD(3) 为 92 dB。由测试结果可知，处理器原型有效位性能比 ADC 手册参数变差了，造成这一结果的原因主要是信噪比下降，可能是前端模拟电路(主要是运放)引入了额外的噪声以及采样时钟的抖动导致。

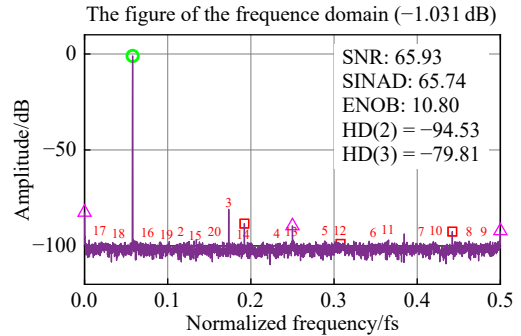


图 9 (在线彩图) 输入 60 MHz 正弦波频谱分析结果

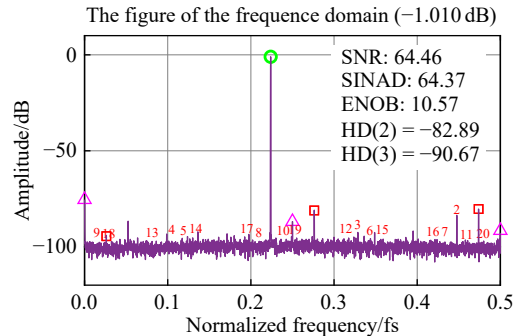


图 10 (在线彩图) 输入 230 MHz 正弦波频谱分析结果

为了进一步测试 ADC 性能，又改变了输入正弦波频率，进行了一系列频点下的测试，有效位随输入正弦波频率变化图如图 11 所示。根据测试结果可以得出，对输入频率在 480 MHz 以内的正弦波，ADC 的有效位均高于 10 位，达到设计目标。

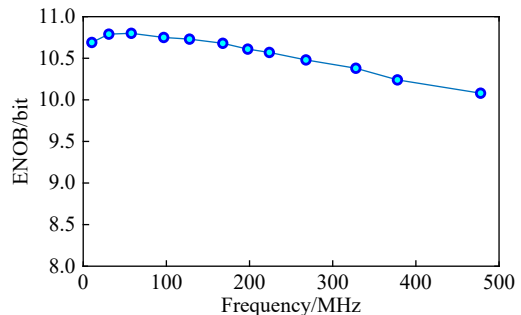


图 11 (在线彩图) 有效位随输入正弦波变化

4 总结

针对硬 X 射线自由电子激光装置条带型 BPM 系统

的束流采集应用需求,进行了高重频束流采集处理器原型样机的设计,包括模拟信号采集模块、数字信号处理模块以及基于FPGA的数据读出逻辑。在设计完成后,对处理器原型样机进行了测试和评估,其在480MHz带宽内有效位好于10bit。束流采集处理器原型样机具有多通道、较好的有效位性能、高于480MHz的模拟带宽,能够满足SHINE条带式BPM系统的束流测量需求。此外,其采用嵌入式Linux系统,未来可在其上运行用于束流分析的应用软件。

原型样机也有一些不足之处,如模拟子卡没有采用标准的FMC子卡尺寸。在不同频点下,处理器的有效位性能和ADC手册指标有0.2到0.5bit的差距。未来计划将模拟子板设计成标准FMC子卡尺寸,提升系统的灵活性,对系统进一步优化,提升有效位性能指标,以及开发束流信号采集和处理相关的算法和应用软件,在FPGA上实现对束流信号采集数据的分析与处理。

参考文献:

- [1] LAI Longwei, LENG Yongbin, YI Xing, et al. *Nuclear Science and Techniques*, 2011, 22(3): 129.
- [2] LENG Yongbin, ZHOU Weimin, YUAN Renxian, et al. *Nuclear Techniques*, 2010, 33(6): 401. (in Chinese)
(冷用斌, 周伟民, 袁任贤, 等. *核技术*, 2010, 33(6): 401.)
- [3] LENG Yongbin, YI Xing, LAI Longwei, et al. *Nuclear Techniques*, 2011, 34(5): 326. (in Chinese)
(冷用斌, 易星, 赖龙伟, 等. *核技术*, 2011, 34(5): 326.)
- [4] ZHANG Xueping, TONG Ziquan, REN Lijun, et al. *Foreign Electronic Measurement Technology*, 2006, 25(9): 12. (in Chinese)
(张雪萍, 童子权, 任丽军, 等. *国外电子测量技术期刊*, 2006, 25(9): 12.)
- [5] Texas Instruments. LMK04832Datasheet[EB/OL]. [2021-03-20]. www.ti.com.cn/cn/lit/ds/symlink/lmk04832.pdf.
- [6] Xilinx. Zynq UltraScale+ MPSoC Technical Reference Manual(UG1085) [EB/OL]. [2021-03-20]. www.xilinx.com/support/documentation/data_sheets/ds925-zynq-ultrascale-plus.pdf.
- [7] Xilinx. DC and AC Switching Characteristics(DS925)[EB/OL]. [2021-03-20]. www.xilinx.com/support/documentation/data_sheets/ds925-zynq-ultrascale-plus.pdf.
- [8] SHI Lei. Design and FPGA Implementation of Digital Intermediate Frequency System in TD-LTE Base Station[D]. Wuhan: Wuhan University Of Science And Technology, 2015. (in Chinese)
(石蕾. TD-LTE基站中数字中频系统的设计及FPGA实现[D]. 武汉: 武汉科技大学, 2015.)
- [9] FAN Zhouhua. A Study of High-speed Serial Interface Based on JESD204B Standard[D]. Xi'an: Xidian University, 2015. (in Chinese)
(樊周华. 基于JESD204B标准的高速串行接口设计与实现[D]. 西安: 西安电子科技大学, 2015.)
- [10] Xilinx. JESD204PHY v2.0 LogiCORE IP Product Guide (PG198)[EB/OL]. [2021-03-20]. http://www.xilinx.com/support/documentation/ip_documentation/jesd204_phy/v3_0/pg198-jesd204-phy.pdf.
- [11] Xilinx. JESD204v6.1 LogiCORE IP Product Guide (PG066) [EB/OL]. [2021-03-20]. http://www.xilinx.com/support/documentation/ip_documentation/jesd204/v6_2/pg066-jesd204.pdf.

Design of High-repetition-rate Beam Sampling Processor Prototype

TIAN Fengshou^{1,2}, ZHAO Lei^{1,2,†}, FAN Yichun^{1,2}, QIN Jiajun^{1,2}, LAI Longwei³, LIU Shubin^{1,2}, AN Qi^{1,2}

(1. State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;

2. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China;

3. Shanghai Advanced Research Institute, Chinese Academy of Sciences, Shanghai 201204, China)

Abstract: In order to sample and process the signal of the Shanghai High Repetition Rate XFEL and Extreme Light Facility (SHINE) strip-line BPM system, a prototype of High-Repetition-Rate Beam Sampling Processor was developed. The processor has four channel input, 1 GSps maximum sampling rate and 16 bit resolution. It adopts Xilinx Zynq series FPGA with embedded ARM core, which can run Linux operating system and realize readout of high-speed sampled-data and data buffering. The processor adopts the structure of mother board and daughter board. The daughter board with ADC is for data sampling, and the mother board with FPGA is used to process the digital data. The daughter board and the mother board transmit data through the FMC interface. The ADC uses JESD204B protocol to transmit data, and the maximum total data rate is 80 Gbps through 16 pairs of differential channels. First the ADC data is transmitted to the digital motherboard. Then it is buffered by FIFO and DDR and finally transmitted to the upper computer for processing and analysis through the RJ45 interface with TCP/IP protocol. The data rate of RJ45 interface is about 900 Mbps. After testing, the bandwidth of ADC daughter board is higher than 480 MHz, and the ENOB(effective number of bits) is higher than 10-bit in 480 MHz bandwidth. The FPGA digital mother board runs Linux compiled by Petalinux, which can realize the data storage and transmission of 1 M sampling points of four channels in continuous or trigger mode. The processor can meet the design requirements.

Key words: SHINE; ZYNQ; High-speed data acquisition; waveform digitization

Received date: 08 Mar. 2021; **Revised date:** 20 Apr. 2021

Foundation item: Knowledge Innovation Program of the Chinese Academy of Sciences(KJCX2-YW-N27); Youth Innovation Promotion Association, Chinese Academy of Sciences

† **Corresponding author:** ZHAO Lei, E-mail: zlei@ustc.edu.cn.