



## 用于SCA ASIC测试的数字读出模块设计

钱思 赵雷 陈晗 刘树彬 安琪

### Design of a Digital Readout Module for SCA ASIC Testing

QIAN Sifan, ZHAO Lei, CHEN Han, LIU Shubin, AN Qi

在线阅读 View online: <https://doi.org/10.11804/NuclPhysRev.37.2019025>

#### 引用格式:

钱思, 赵雷, 陈晗, 刘树彬, 安琪. 用于SCA ASIC测试的数字读出模块设计[J]. *原子核物理评论*, 2020, 37(1):74–81. doi: 10.11804/NuclPhysRev.37.2019025

QIAN Sifan, ZHAO Lei, CHEN Han, LIU Shubin, AN Qi. Design of a Digital Readout Module for SCA ASIC Testing[J]. *Nuclear Physics Review*, 2020, 37(1):74–81. doi: 10.11804/NuclPhysRev.37.2019025

---

## 您可能感兴趣的其他文章

### Articles you may be interested in

#### [基于开关电容阵列ASIC芯片的多通道波形数字化系统设计](#)

Multi-channel Waveform Digitization System Utilizing Switched Capacitor Array ASICs

*原子核物理评论*. 2017, 34(4): 755–761 <https://doi.org/10.11804/NuclPhysRev.34.04.755>

#### [Back-n波形数字化模块的数据实时读出方法](#)

Real-time Readout Method of Waveform Digitizing Module at Back-n

*原子核物理评论*. 2018, 35(2): 159–164 <https://doi.org/10.11804/NuclPhysRev.35.02.159>

#### [用于CBM-TOF超级模块质量评估的SoC数据读出方法](#)

SoC Data Readout Method for CBM-TOF Super Module Quality Evaluation

*原子核物理评论*. 2019, 36(3): 336–342 <https://doi.org/10.11804/NuclPhysRev.36.03.336>

#### [LHAASO WCDA前端芯片批量测试系统的设计](#)

Design of Front-end Chip Batch Test System for LHAASO WCDA

*原子核物理评论*. 2020, 37(2): 191–198 <https://doi.org/10.11804/NuclPhysRev.37.2020024>

#### [12 bit 30 MSPS逐次比较型ADC的测试](#)

Testing of a 12 bit 30 MSPS SAR ADC

*原子核物理评论*. 2018, 35(1): 46–52 <https://doi.org/10.11804/NuclPhysRev.35.01.046>

#### [基于FPGA的数字反符合 \$\gamma\$ 谱仪系统设计](#)

Design of Digital Anti-coincidence  $\gamma$  Spectrometer System Based on FPGA

*原子核物理评论*. 2019, 36(4): 456–461 <https://doi.org/10.11804/NuclPhysRev.36.04.456>

文章编号: 1007-4627(2020)01-0074-08

# 用于 SCA ASIC 测试的数字读出模块设计

钱思璠<sup>1,2</sup>, 赵雷<sup>1,2,†</sup>, 陈晗<sup>1,2</sup>, 刘树彬<sup>1,2</sup>, 安琪<sup>1,2</sup>

(1. 核探测与核电子学国家重点实验室, 中国科学技术大学, 合肥 230026;  
2. 中国科学技术大学近代物理系, 合肥 230026)

**摘要:** 高速开关电容阵列 (SCA) 具有高速采样、低功耗的特点, 基于 SCA 的高速波形数字化是目前高精度时间测量的一个重要研究方向。为此, 我们开展 SCA 芯片的研究, 目前已设计完成原型 ASIC 设计, 并正在进行后续版本的改进设计。为便于未来多版本 ASIC 的测试和评估, 需设计具有一定通用性的数字读出模块, 本论文工作主要介绍此模块的设计工作以及相应的数据读出软件。数字读出模块基于 FPGA 实现对待测 ASIC 的控制、配置及数据读出, 采用 DDR3 片外存储芯片, 使用 USB3.0 等接口进行数据传输; 上位机软件基于 Python3.7 设计, 实现了数据采集与波形绘制等功能。目前已使用设计完成的数字读出模块对第 2 版 SCA ASIC 进行了初步的测试, 测试结果表明, 此读出模块工作正常, 且 SCA 芯片输出结果符合预期。

**关键词:** ASIC 测试; 开关电容阵列; FPGA; USB3.0; Python

**中图分类号:** TN79

**文献标志码:** A

**DOI:** 10.11804/NuclPhysRev.37.2019025

## 1 引言

对探测器信号进行高速采样, 获取其全波形信息, 进一步进行数字信号处理可以获得精确的时间信息<sup>[1]</sup>。基于开关电容阵列 (Switched Capacitor Arrays, SCAs) 技术可以对输入信号进行高速采样, 并配以较低速的量化电路实现数字化过程<sup>[2]</sup>, 相对高速模拟数字变换器 (Analog-to-Digital Converter, ADC) 可以降低电路复杂度, 降低功耗, 提高电子学集成度。国外多个研究所都在积极进行此方向技术研究, 并已在一些实验中采用了 SCA 芯片进行电子学设计, 例如南极中微子观测站试验 AMANDA 中采用了 ATWD 芯片<sup>[3]</sup>; 南极宇宙线探测试验 ANITA 中使用了 LABRADOR<sup>[4]</sup> 芯片; MAGIC-II 实验中采用了 DRS 芯片<sup>[5]</sup>。本人所在实验室目前正在 SCA ASIC 方向上展开研究, 并已研制了原型芯片, 其采样率达到 5 GSPs, 通道采样深度为 256 cells, 单个 SCA 芯片集成 8 个采样通道<sup>[6]</sup>。

在之前的 SCA ASIC 测试中, 我们利用 FPGA (Field Programmable Gate Array) 开发板临时搭建了简易的测试平台, 为了便于对未来多个版本 SCA ASIC 进行系统化的测试, 设计了具有一定通用性的数字读出模块和相应的上位机软件。该模块采用标准 FMC (FPGA

Mezzanine Card) 连接器以便兼容当前及后续版本的 SCA ASIC 的测试, 采用 USB3.0 接口用于数据传输。上位机软件具有简洁的用户界面, 可以实现控制指令的发送及数据采集分析的功能。

## 2 读出模块整体架构

读出模块基于 FPGA 设计<sup>[7]</sup>, 使用片外 DDR3 芯片进行数据存储, 使用 USB3.0 接口作为主要接口进行数据传输, 读出模块主要包含五部分: 电源电路、接口电路、时钟电路、存储电路、用户调试电路; 数字读出模块的结构框图如图 1 所示。

其中数字读出模块采用了开放式的接口和 SCA 前端测试模块连接, 前端测试模块获取的数据经过 FPGA 的简单处理, 缓存至 DDR3 外部存储芯片中, 再由 USB3.0 控制芯片读出至上位机软件进行分析。由于本设计中采用了 USB3.0 的接口, 接口实际传输速率高达 350 MB/s, 而第 2 版 SCA 芯片的输出接口为 100 MHz 的串行接口, 可使用 USB3.0 接口实时读取。考虑到将来芯片的改版升级工作, 当输出速率大于 350 MB/s 时, 可将数据先缓存至 DDR3 后再由 USB 接口读出。

收稿日期: 2019-04-19; 修改日期: 2019-06-14

基金项目: 中国科学院前沿科学重点研究项目 (QYZDB-SSW-SLH002); 安徽省杰出青年科学基金资助项目 (1708085J07)

作者简介: 钱思璠 (1993-), 男, 安徽合肥人, 硕士研究生, 从事物理学电子工业研究; E-mail: qiansf@mail.ustc.edu.cn

† 通信作者: 赵雷, E-mail: zlei@ustc.edu.cn.

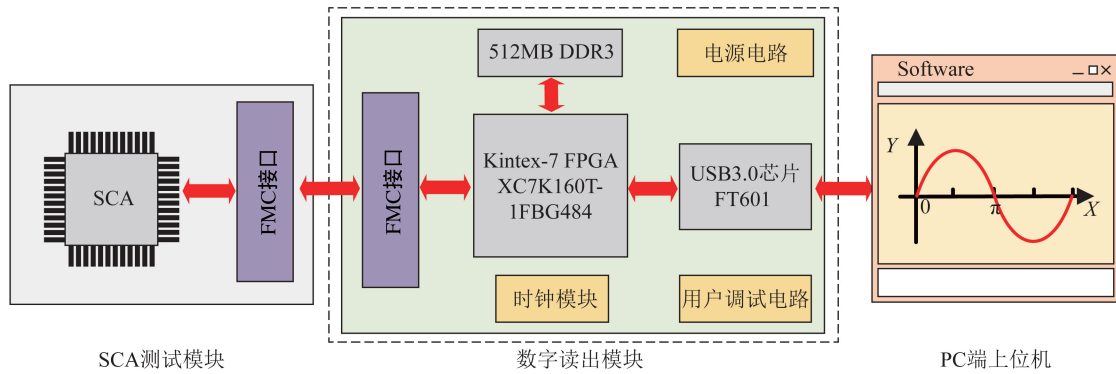


图 1 (在线彩图) 数字读出模块结构框图

### 3 读出模块的实现

#### 3.1 电源电路

在设计供电系统时需要考虑各器件的功耗，对纹波的要求以及对上电顺序的要求。总的来说对于模拟器件以及其他对电源质量要求较高的芯片使用 LDO(low dropout regulator) 进行供电，其余部分使用开关电源供电，由于 LDO 芯片是线性电源，输入输出的压差将以热的形式消耗，所以在设计的时候需要保证压差不能太大，一方面是为了减少整个系统的功耗，另一方面是为了减小 LDO 芯片的发热情况，以免损坏芯片。

$VCCINT \rightarrow VCCBRAM \rightarrow VCCAUX \rightarrow VCCAUX\_IO \rightarrow VCCO$ ,

$VCCINT \rightarrow VMGTAVCC \rightarrow VMGTAVTT$ 或 $VMGTAVCC \rightarrow VCCINT \rightarrow VMGTAVTT$ 。

对于前端 SCA 测试模块，其需要的电压有 5 种： $\pm 5$ ,  $+3.3$ ,  $+1.8$  和  $+1.0$  V。数字读出模块提供的电压种类无法做到面面俱到，故最终决定使用三种较为常用的电压： $+5$ ,  $-5$ ,  $+3.3$  V。前两种电压用于运算放大器的供电， $+3.3$  V 的电压适用于大多数芯片。SCA 测试模块利用板载的 LDO 芯片将 3.3 V 电压转换成  $+1.8$  和  $+1.0$  V 电压。模拟电路对电源质量要求高，要求电源纹波小，所以给前端测试模块供电的电源不与数字读出模块电源混合使用，并且全部使用 LDO 芯片供电。数字读出模块的供电系统如图 2 所示。

其中供电系统的第一级输入，一般采用的都是实验室的直流稳压电源。本设计在采用此种供电方式的同时，增加了 USB 供电的方式，使用了当前较为流行的 Type-c 接口。Type-c 接口支持正反插，使用起来方便快捷，在单独使用数字读出模块或前端测试模块不需要  $\pm 5$  V 电压时(不使用运放时)可以直接通过 Type-c 接口为系统供电。

此数字读出模块的供电系统有两部分任务，一是为数字读出模块提供所需的电压；二是为 SCA 前端测试模块提供稳定可靠的电压。对于数字读出模块，主要考虑 FPGA 芯片的供电。其中 VCCINT 为内核电压，VCCBRAM 为片内 BRAM 的核心电压，其电压值较小，但电流值根据片内资源消耗情况最多可达到数 10 A 以上；VCCO 为 IO 接口电压，可以根据实际需求进行选择，在本设计中为了满足一定的兼容性，提供了 2.5 和 3.3 V 两种电压，可通过电阻进行选择。在 FPGA 的上电过程中，有如下所示的上电顺序要求<sup>[8]</sup>，电源芯片之间的启动顺序可利用芯片的使能端引脚进行控制。

#### 3.2 时钟电路

数字读出模块的时钟系统有两个作用，一是为 FPGA 提供系统时钟，二是为 SCA 提供采样时钟。此部分一共涉及 3 种芯片(SCA, FPGA, AD9522-3)与 3 种接口(FMC, SMA, LEMO)。其中 AD9522-3 是 ANALOG DEVICE 公司生产的一款时钟发生芯片，提供多路输出时钟分配功能，片内 VCO 的调谐频率为 1.72~2.25 GHz。输出时钟可自由配置成单端或差分输出，并具有亚皮秒级别的抖动性能。每组时钟可自由配置其分频系数和相位。数字读出模块的时钟分布如图 3 所示。

其中：

(1) 以 FPGA 为对象：板载 25 MHz 无源晶振为其提供了基础时钟，用于配置模块中的其他芯片(包括 AD9522-3)；AD9522-3 产生的高质量时钟信号可作为 FPGA 的系统时钟，保证其稳定运行；外部时钟信号可以通过板上的 SMA, LEMO 接口传入 FPGA，其中

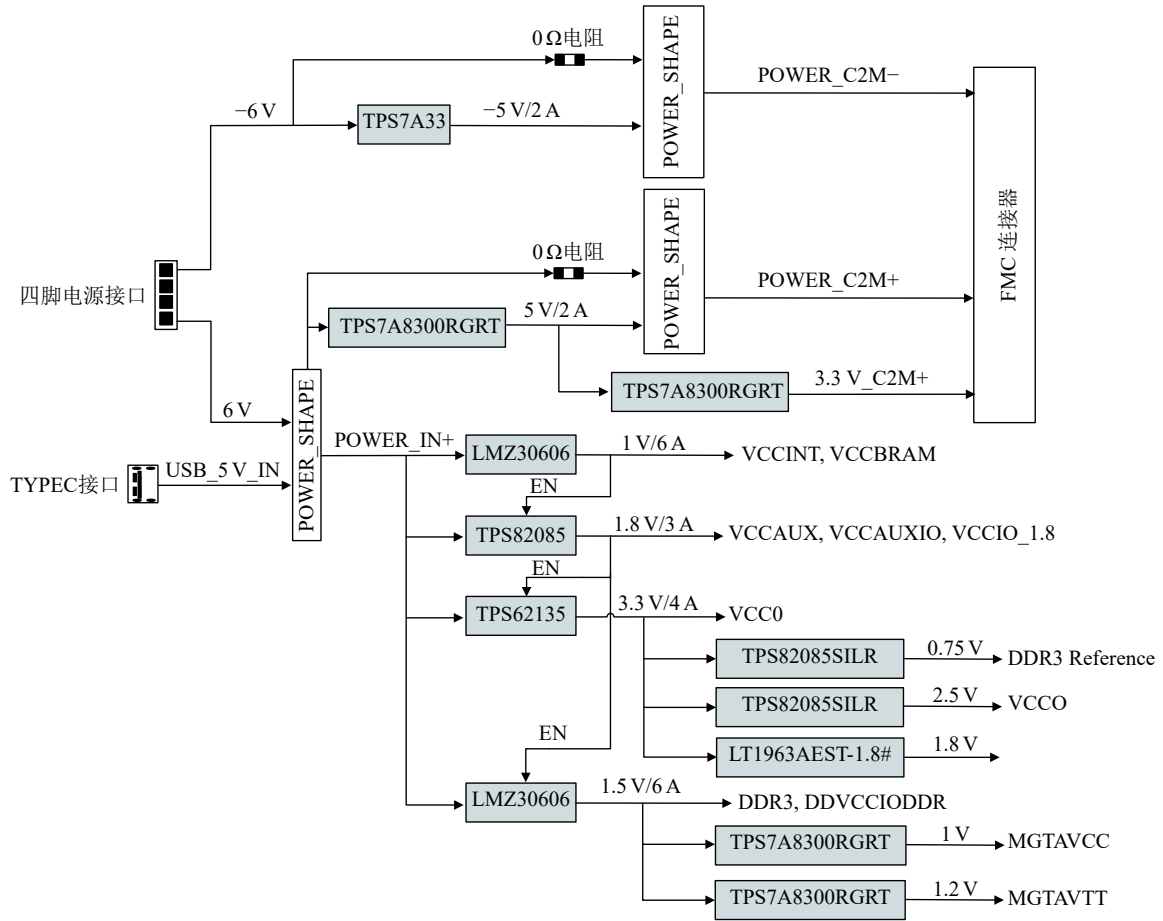


图 2 数字读出模块供电系统示意图

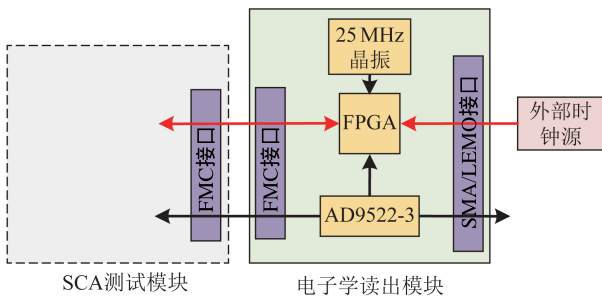


图 3 (在线彩图)数字读出模块时钟分布示意图

SMA 接口传递单端时钟信号，LEMO 接口传递差分时钟信号。由于 FPGA 内部集成了 PLL，所以也能够在片内产生时钟信号并通过 SMA，LEMO 接口送至外部。同理，前端测试模块也可以通过 FMC 连接器上的专用时钟引脚向 FPGA 传递时钟信号或接收 FPGA 产生的时钟信号。

(2) 以 AD9522-3 为对象：AD9522-3 可为三部分提供精准稳定的时钟信号，可以直接为 FPGA 提供系统时钟；通过 SMA，LEMO 接口向外部提供时钟；通过 FMC 连接器向前端测试模块提供时钟。

对于正弦波输入的 ADC 测试系统，时钟晃动会导致采样时刻的不确定从而带来孔径误差，孔径误差和信噪比之间的关系如下：

$$SNR = -20 \lg 2\pi f_{in} t_a, \tag{1}$$

其中：SNR 为信噪比； $f_{in}$  为输入信号频率； $t_a$  为时钟 jitter，而理想情况下信噪比和有效位之间有如下关系

$$ENOB = \frac{SNR - 1.761}{6.02}. \tag{2}$$

当输入信号频率为 350 MHz 时，若希望有效位达到 8 位，则时钟的 jitter 应小于 1.45 ps。对于 SCA ASIC，采样单元的控制信号由内部 DLL 产生，外部输入的时钟信号仅作为 DLL 的参考时钟，参考时钟的 jitter 主要对最后一个采样间隔产生影响。

### 3.3 接口电路

读出模块接口分为两类：用于连接前端测试模块的接口，用于和上位机连接的接口。与前端测试模块相连的接口采用 LPC 规格的 FMC 连接器，其遵循

ANSI/VITA 57 标准，专用于 FPGA 与其他子卡之间的连接。为了更好地适用于 SCA ASIC 的测试，根据前端测试模块的需求，本设计对官方定义的引脚稍作修改。首先去除了 VREF\_A\_M2C，PRSNT\_M2C\_L 与 PG\_C2M 信号，其次修改了电源供电电压的大小，将 3P3V 电压定义成 +5 V，将 12P0V 定义成 -5 V，

VADJ 设置成固定 3.3 V。由于前端测试模块没有搭载需要 JTAG 接口的器件，故将 JTAG 引脚的信号线定义成用户 IO。经过此番修改，原官方定义的电源与地的引脚位置并没发生改变，仍然具有一定的兼容性。图 4 为 FMC 连接器的原定义与修改后定义的对比示意图。

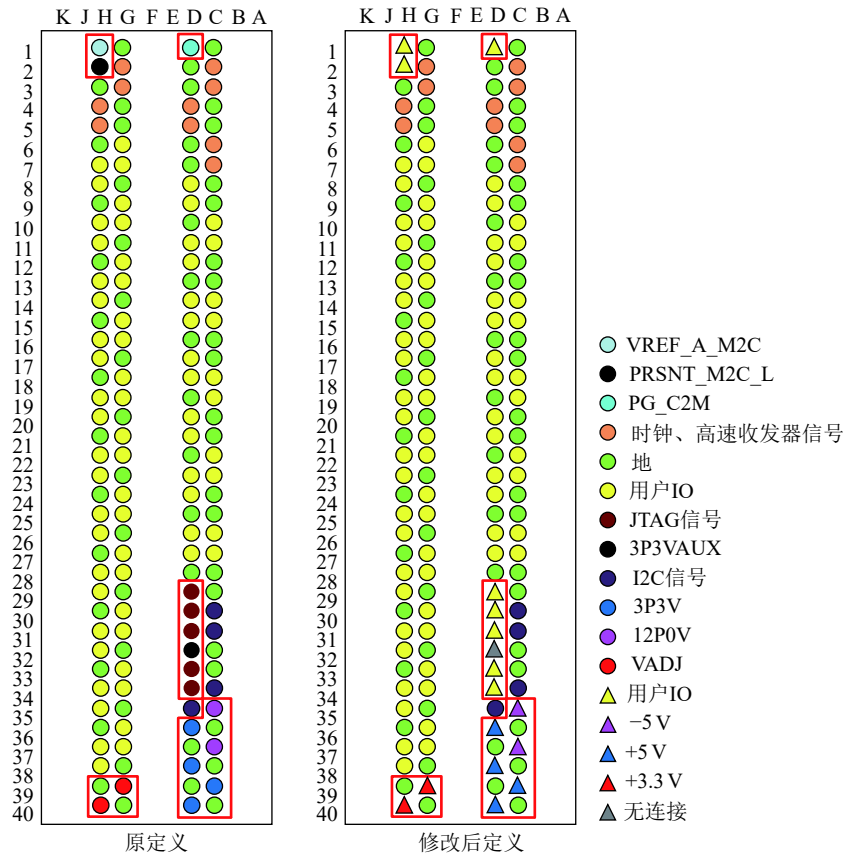


图 4 (在线彩图)FMC 连接器原定义与修改后定义对比示意图

数字读出模块通过 USB3.0 接口与上位机进行连接，本设计使用 FTDI 公司生产的 FT601 芯片。该芯片将 USB 的串行数据转换成 32 位并行数据接入 FPGA，FPGA 只需将其当做一个位宽为 32 bit 的 FIFO 处理即可，所有 USB 通信协议将在芯片内自行完成转换。并行数据同步时钟可设置为 100 MHz，理论最大传输速率高达 400 MB/s<sup>[9]</sup>。本设计除了使用了 USB 接口以外，还设计了串口和 SFP 接口以适用于不同的使用场景。值得一提的是，数字读出模块不仅可以用于 SCA ASIC 的测试，还可以兼容实验室设计的 ADC ASIC 测试模块和其他使用 FMC 连接器的前端测试模块。

### 3.4 FPGA 逻辑

FPGA 为数字读出模块的核心处理器件，用来完成 SCA、DAC、时钟芯片的配置和数据的处理与传输

任务。本设计使用的 FPGA 芯片为 Xilinx 公司的 XC7K160T-2FBG484。

前端测试模块搭载了实验室自主设计的第 2 版 SCA 芯片，该芯片共有 8 个通道，每个通道串行输出。FPGA 对输入数据进行选通再通过内部的异步 FIFO 转换成 32 位并行数据，USB 控制逻辑在 FT601 输出的数据同步时钟下将 FIFO 内的数据传出。另外 FPGA 还需要对前端测试模块上 DAC 芯片，时钟芯片及 SCA 芯片发送配置信号。配置信号的内容由上位机发送的控制信号中解析而来，上位机发送的 32 位指令进入指令分析逻辑，指令的 24~31 位表示时钟芯片的配置信息；16~23 位表示 DAC 的配置信息；8~15 位表示 SCA 的配置信息；0~7 位暂未使用。整个 FPGA 内部逻辑结构如图 5 所示。



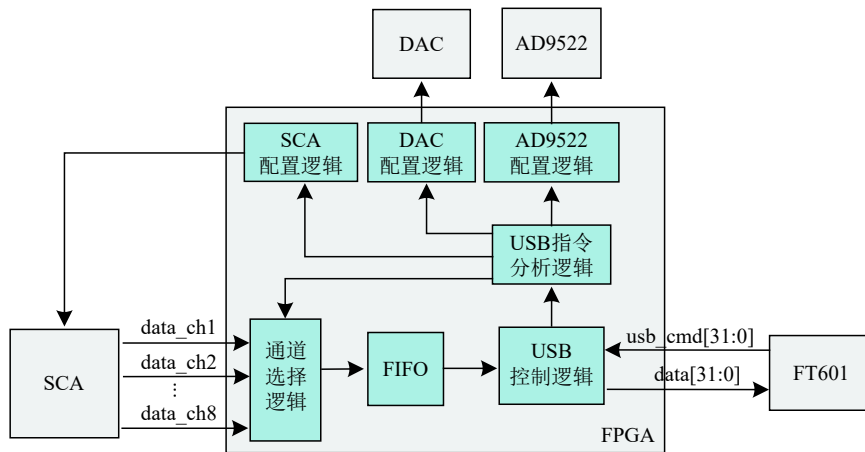


图 5 (在线彩图)FPGA 逻辑设计图

### 3.5 上位机软件

上位机软件基于 Python3.7 设计，软件具有如下功能：对 FT601 芯片进行读写操作 (包括数据读取和控制指令的发送)，对读取的数据进行保存，对数据进行计算分析、绘图功能以及简洁的用户界面。Python 拥有功能强大的标准库以及众多第三方库，需要根据设计需求选择相应的拓展库实现不同的功能。

对于 FT601 芯片的读写，FTDI 公司提供了 FTD3XX 驱动和一个动态链接库文件 (d3xx.dll)。PC 端安装好驱动程序后，通过调用 d3xx.dll 文件里封装的 API 函数即可实现芯片的访问与控制<sup>[10]</sup>。Python 中的 ctypes 模块可实现调用动态链接库文件的功能。对于数据的保存，提供了两种保存类型：逗号分隔值 (csv) 文件和二进制文本文件。前者通过 csv 模块实现。后者使用标准库中的 write 方法实现。对于数据的分析使用

Numpy 库，Numpy 底层基于 C 语言编写，运行效率更高，另外 Numpy 内部解除了全局解释器锁，使其运行速度不受 Python 解释器的限制。对于绘图功能，使用 Matplotlib 绘图库实现。对于用户界面，使用 QT 框架进行设计。这是一个专业的跨平台 C++ 图形用户界面应用程序开发框架，其中的 QT Designer 工具可以让开发者通过拖拽控件的方式实现 UI 的设计，设计生成的 UI 文件利用 pyqt5 库中的 pyuic 工具转换成 .py 文件，即可在 Python 中调用。

在整个软件框架中，虽然所有代码均通过 Python 编写，但底层芯片的读写、数据运算、用户 UI 部分的实现，最终基于 C 或 C++，保证了软件的运行效率。另外，软件并不仅仅适用于 SCA ASIC 的数据读出，对于所有兼容数字读出模块接口的测试模块都可以使用此软件进行数据读出。软件整体框架如图 6 所示。

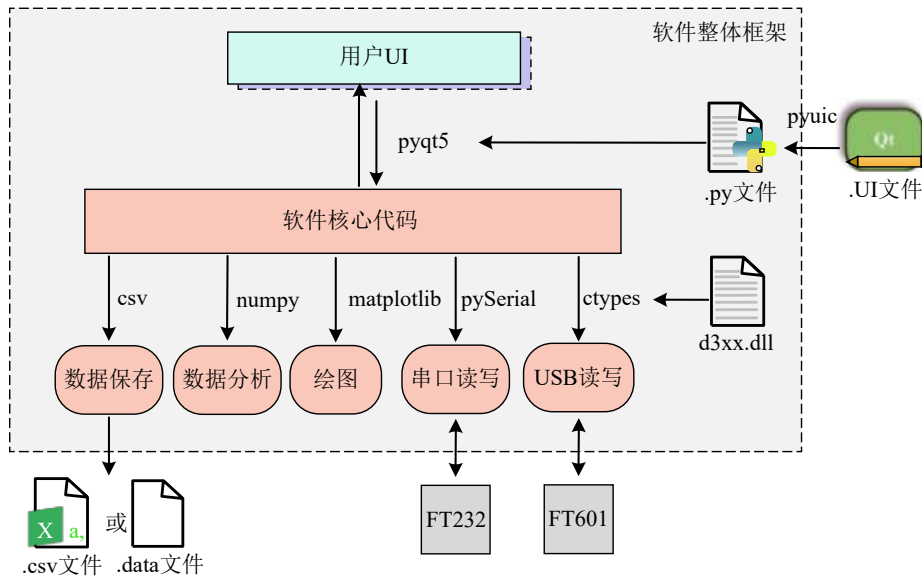


图 6 (在线彩图)软件整体框架

### 4 读出模块的验证

#### 4.1 USB3.0 传输速率测试

将 FT601 芯片配置成“245 同步 FIFO”模式，将输出时钟配置成 100 MHz。通过 USB3.0 数据线将数字读出模块连接至测试机，测试机的配置为：Windows10 Education, Version 1809(x64), Intel® Core i5-3470, 3.2GHz, 8 GB Memory。D3XX 驱动版本为 1.3.0.2。使用 FTDI 公司提供的 FTDI data streamer 软件进行测试。

首先进行连续写入测试，对 USB 设备循环写入 100 次，每次写入 16 MB 数据，记录每次写入的速率并对结果求平均值。再进行连续读取测试，对 USB 设备循环读取 100 次，每次读取 16 MB 数据 (FPGA 内部产生测试用的 100 MHz, 32 bit 位宽的数据)，记录每次读取的速率并对结果求平均值。测试结果表明，USB 接口的连续写入速率约为 383 MB/s，连续读取速率约为 351 MB/s。图 7 为 USB 接口读写速率测试结果。

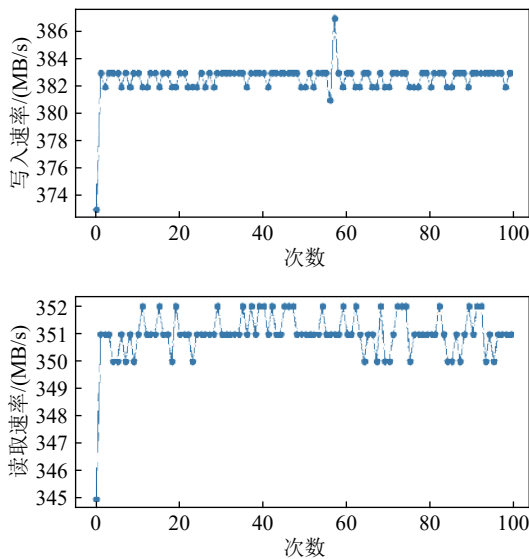


图 7 (在线彩图)USB3.0 写入与读取速率测试结果

#### 4.2 联合调试

本测试使用的是实验室设计的第 2 版 SCA 前端测试模块，由于 SCA 测试模块先于数字读出模块设计，其 FMC 连接器与数字读出模块的 FMC 连接器同为母座，且未将板上电源连接至 FMC 连接器，所以在使用时需要通过连接板将前端测试模块与数字读出模块相连，还需要单独使用电源模块进行供电。使用实验室的直流稳压电源输出 ±6V 的电压接入电源模块，电源模块上的 LDO 芯片将电压转换成 SCA 测试模块所需要的 ±5, +3.3, +1.8 和 +1.0V 电压。数字读出模块直接通过

Type-c 接口的 USB 线连接通用的 5V2A 电源适配器进行供电。完整的测试平台如图 8 所示。

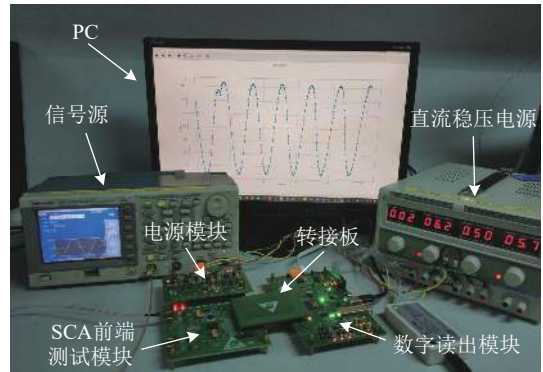


图 8 (在线彩图)SCA 测试平台

首先对 SCA 芯片的采样时钟进行了测试，使用示波器对其进行观察，可以看出时钟 jitter 为 1.081 ps，满足 1.5 ps 的设计指标。测试结果如图 9 所示。

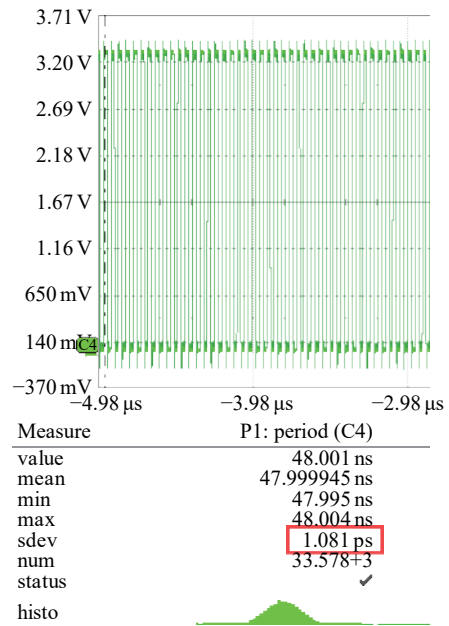


图 9 (在线彩图)读出模块时钟 jitter

其中使用 AFG3252 任意波形发生器产生一个频率为 120 MHz，幅度接近满量程的正弦波输入至 SCA 前端测试模块，SCA 芯片的采样频率为 5 GSps，使用本设计中的读出模块进行数据读出，再由上位机软件进行采集与绘图，采集到的的波形如图 10 所示。

SCA 芯片内部每个通道各有 256 个采样单元 (Cell)，所以一共输出 256 个码值。由于 SCA 的 256 个 Cell 处于循环采样的状态，所以在采样停止的位置数据不连续，在输出波形上的体现则是存在断点。另外由于在芯片的制造中存在工艺误差，256 个 Cell 之间的采样间隔存在一定偏差，导致输出波形有所失真，这也与测试结果相

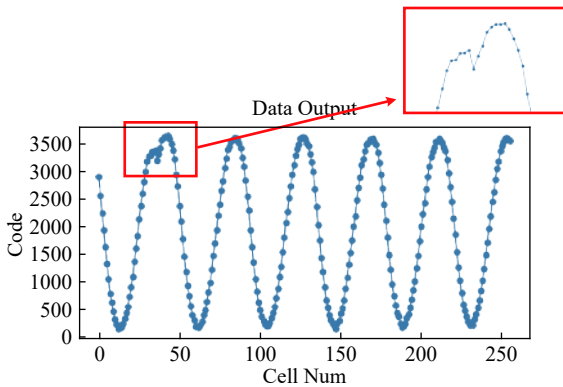


图 10 (在线彩图)SCA 芯片输出波形

吻合。虽然采样间隔存在偏差,但是这种偏差是固定的,可以通过基于超定线性方程组的算法<sup>[11]</sup>计算出实际的采样间隔,再利用计算出的间隔对采样点在时间上进行修正。

## 5 结束语

本人所在实验室正在展开 SCA ASIC 的研究与设计工作,为了满足 SCA 芯片的测试需求设计了后端读出模块以及相应的测试软件。后端读出模块采用 FMC 连接器与 SCA 测试模块相连,SCA 输出的数据经过 FPGA 的简单处理通过 USB3.0 接口传输至上位机软件。上位机软件可以实现数据的分析,保存以及绘图等功能。此外还对 SCA 前端测试模块和后端读出模块进行了联合调试,测试结果表明读出模块工作正常,SCA 输出波形符合预期分析。

### 参考文献:

- [1] GENAT J F, VARNER G, TANG F, et al. *Nucl Instr and Meth A*, 2009, 607(2): 387.
- [2] ZHANG H Y, DENG Z, LIU Y N. *Chinese Physics C*, 2016, 40(7): 076102.
- [3] KLEINFELDER S. *IEEE Transactions on Nuclear Science*, 2003, 50(4): 955.
- [4] VARNER G S, RUCKMAN L L, NAM J W, et al. *Nucl Instr and Meth A*, 2007, 583(2-3): 447.
- [5] PEGNA R, BARCELO M, BITOSSI M, et al. *Nucl Instr and Meth A*, 2007, 572(1): 382.
- [6] QIN Jiajun. Research of Waveform Digitization ASIC Based on Switched-Capacitor Arrays[D]. Hefei: University of Science and Technology of China, 2018. (in Chinese)  
(秦家军. 基于开关电容阵列的高速波形数字化 ASIC 研究[D]. 合肥: 中国科学技术大学, 2018.)
- [7] ZHAO Lei, LIU Shubin, LI Yusheng, et al. A General Purpose Test Apparatus for High-Speed, High Resolution Analog to Digital Converters Based on IEEE Standard[C]// International Conference on Electronic Measurement and Instruments, 2007. ASSCC'07. IEEE Asian, IEEE, 2007: 179.
- [8] Xilinx, Inc. Kintex-7 FPGAs Data Sheet: DC and AC Switching Characteristics, DS182- Kintex-7 FPGAs Data Sheet: DC and AC Switching Characteristics (v2.16.1). [EB/OL].[2019-04-13]. [https://china.xilinx.com/support/documentation/data\\_sheets/ds182\\_Kintex\\_7\\_Data\\_Sheet.pdf](https://china.xilinx.com/support/documentation/data_sheets/ds182_Kintex_7_Data_Sheet.pdf).
- [9] FTDI chip, Inc. FT600Q-FT601Q IC Datasheet (USB 3.0 to FIFO Bridge), FT600Q-FT601Q SuperSpeed USB3.0 IC Datasheet.[EB/OL]. [2019-04-13]. [https://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS\\_FT600Q-FT601Q%20IC%20Datasheet.pdf](https://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT600Q-FT601Q%20IC%20Datasheet.pdf).
- [10] FTDI Chip, Inc. Application Note AN\_379 D3XX Programmers Guide, Version 1.7, D3XX Programmer's Guide. [EB/OL].[2019-04-13]. Version 1.7. [https://www.ftdichip.com/Support/Documents/ProgramGuides/AN\\_379%20D3xx%20Programmers%20Guide.pdf](https://www.ftdichip.com/Support/Documents/ProgramGuides/AN_379%20D3xx%20Programmers%20Guide.pdf).
- [11] CHENG B, ZHAO L, QIN J, et al. *Nucl Instr and Meth A*, 2019, 916: 71.



## Design of a Digital Readout Module for SCA ASIC Testing

QIAN Sifan<sup>1,2</sup>, ZHAO Lei<sup>1,2,†</sup>, CHEN Han<sup>1,2</sup>, LIU Shubin<sup>1,2</sup>, AN Qi<sup>1,2</sup>

(1. *State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;*

2. *Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China*)

**Abstract:** Switched Capacitor Array (SCA) features high-speed sampling and low power consumption. High-speed waveform digitization based on SCA is an important research direction for high-precision time measurement. We are designing the SCA ASIC chips, of which several prototypes have been designed and the improvements are ongoing. In order to test and evaluate the future SCA ASIC chips, it is necessary to design a digital readout module with good compatibility. This paper presents the design of the readout module and the data readout software. The digital readout module integrates the functionality of the control, configuration and data readout of the ASIC under test within one FPGA device. A DDR3 chip is used for data caching, and a USB3.0 interface is designed for data transmission. The readout software is designed based on Python3.7 and contains the functions such as data acquisition and waveform drawing. This module was successfully used in the initial testing of the second version of the SCA prototype ASIC, and the test results indicate that the readout module works as expected.

**Key words:** ASIC test; switched capacitor array; FPGA; USB3.0; Python

---

**Received date:** 19 Apr. 2019; **Revised date:** 14 Jun. 2019

**Foundation item:** Key Research Program of Frontier Sciences, CAS (QYZDB-SSW-SLH002); Science Fund for Distinguished Young Scholars of Anhui Province (1708085J07)

† **Corresponding author:** ZHAO Lei, E-mail: [zlei@ustc.edu.cn](mailto:zlei@ustc.edu.cn).