

文章编号: 1007-4627(2018)01-0046-07

12 bit 30 MSPS 逐次比较型 ADC 的测试

杨云帆^{1,2}, 赵雷^{1,2,†}, 周圣智^{1,2}, 刘建峰^{1,2}, 刘树彬^{1,2}, 安琪^{1,2}

(1. 核探测与核电子学国家重点实验室, 中国科学技术大学, 合肥 230026;

2. 中国科学技术大学近代物理系, 合肥 230026)

摘要: 针对物理实验读出的需求设计了一款低功耗 12 bit 30 MSPS 逐次比较型模数变换器 (Analog-to-Digital Converter, ADC) 芯片, 为评估其性能指标参数, 需进行系统的测试。在本研究工作中构建了测试系统, 然后按照 IEEE 标准进行了系统的测试和分析。测试结果表明, 输入信号在基带范围内 ADC 有效位 (Effective Number Of Bit, ENOB) 约为 9 bit, 达到了本版本芯片的设计指标。同时, 综合分析静态性能与动态性能测试结果, 可以通过优化逐次比较型 ADC 中电容阵列电容失配参数, 进一步提升 ADC 的非线性指标, 为下一版芯片的改进设计提供了参考依据。

关键词: 模数转换器; 逐次比较; 动态性能测试; 静态性能测试。

中图分类号: TL503.6 **文献标志码:** A **DOI:** 10.11804/NuclPhysRev.35.01.046

1 引言

大型高海拔空气簇射观测站 (Large High Altitude Air Shower Observatory, LHAASO) 是在高能物理领域与天文领域进行前沿科学研究的大型科学装置^[1], 其中的水切伦科夫辐射探测器 (Water Cherenkov Detector Array, WCDA) 旨在探测北天区高能伽马射线源。WCDA 包含 3 个相邻的水池, 共包含 3000 多个光电倍增管 (Photon Multiplier Tube, PMT), 用于探测广延大气簇射产生的次级粒子在水中产生的切伦科夫辐射。WCDA 的 PMT 读出电子学的指标要求为: 4000 倍动态范围, 单光电子 (Photo Electron, P.E.) 信号电荷测量精度 30%, 4000 P.E. 电荷测量精度 3%^[2]。WCDA 读出电子学设计中使用前沿甄别结合 FPGA (Field Programmable Gate Array) TDC (Time-to-Digital Converter) 实现时间测量; 电荷测量使用放大成形, 模拟数字变换结合数字寻峰的技术路线。

PMT 读出电子学的整体架构如图 1 所示。每个 PMT 从阳极和第十打拿极各输出一路信号^[3]。这两路信号分别经过 30 m 同轴电缆连接至甄别成形专用集成电路 (Application Specific Integrated Circuit, ASIC), 完成前沿甄别和信号成形。甄别器输出连接至 FPGA TDC 实现时间测量。成形后的信号连接

至 ADC 进行数字化, 再送入 FPGA, 通过数字寻峰技术实现电荷测量。电荷测量中, 阳极信号用于处理 1 至 100 P.E. 的信号, 第十打拿极信号用于处理 40 至 4000 P.E. 的信号, 从而实现 4000 倍动态范围。目前已经设计并制作了用于信号甄别、成形的 ASIC^[4]。综合考虑电子学系统指标要求和甄别成形 ASIC 性能测试结果, 相应地要求 ADC 芯片的 ENOB 达到 9 位左右, 采样率不低于 30 MSPS。因此设计了一款分辨率 12 bit, 采样率 30 MSPS 的 ADC, 期望第一版 ENOB 能接近 9 位。

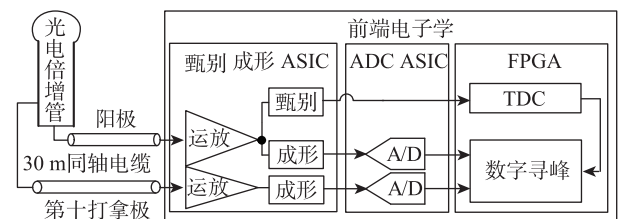


图 1 LHAASO WCDA PMT 读出电子学架构

ADC 采用逐次比较型结构如图 2 所示^[5]。逐次比较型 ADC 由采样保持单元、电容 DAC (含电容阵列与开关阵列)、比较器、逻辑单元及其他辅助模块组成, 采用差分结构, 电路结构如图所示。ADC 每个采样周期的工作过程是: 先在采样保持单元的控制下, 采样输入信号; 然后开始逐次比较, 每次比较按照从高位到低

收稿日期: 2017-05-04; 修改日期: 2017-06-02

基金项目: 国家自然科学基金资助项目(11722545); 中国科学院知识创新工程重要方向性项目(KJCX2-YW-N27)

作者简介: 杨云帆 (1993-), 男, 河南新乡人, 硕士研究生; E-mail: yfy1993@mail.ustc.edu.cn

† 通信作者: 赵雷, E-mail: zlei@ustc.edu.cn.

位的顺序, 依次产生一位量化结果; 最后输出量化结果。每个逐次比较循环中包括 3 个步骤: (1) 比较器先比较信号电平和电容型数模转换器 (Digital-to-Analog Converter, DAC) 设置的阈值电平, 用数字电平输出比较结果; (2) 数字逻辑根据比较器输出, 按照二进制查

找算法生成下一次比较中 DAC 所需的控制信号; (3) DAC 根据得到的控制信号, 产生对应的模拟电压。这款 ADC 已使用 Global Foundry 1P6M 180 nm CMOS 工艺完成流片。本文将介绍这款自主设计的 ADC ASIC 的测试方法与测试结果。

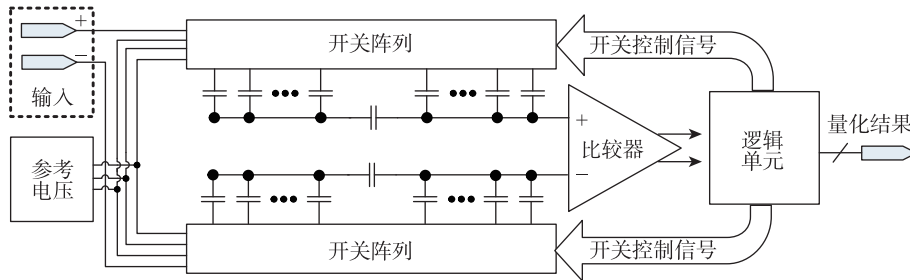


图 2 待测 ADC 架构

2 测试系统设计

待测 ADC 对测试系统的要求有: 差分输入信号共模电平 1 V, 输入信号电压范围 0.5~1.5 V, 可提

供 10~35 MSPS 频率范围的采样时钟信号, 提供 ADC ASIC 必需的参考电压及供电电源。ADC 测试系统的结构如图 3 所示。

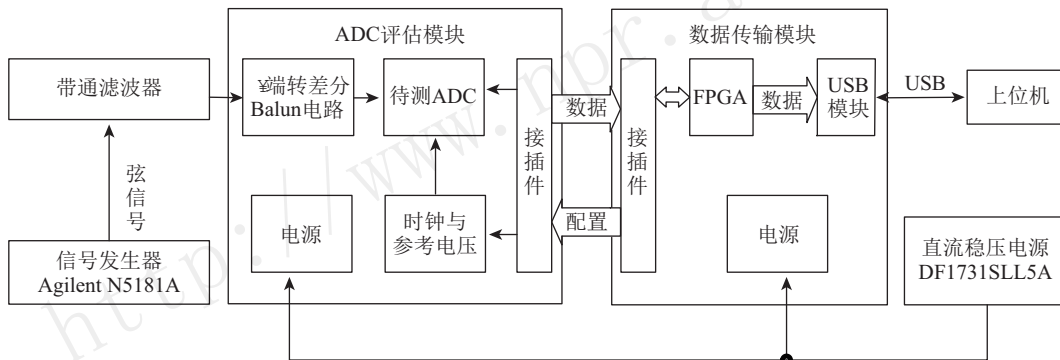


图 3 测试系统结构

2.1 ADC 评估模块

ADC 评估模块与上位机数据处理程序是针对待测 ADC ASIC 进行定制设计的, 而数据传输模块则使用实验室已设计完成的通用模块。待测芯片位于 ADC 评估模块上, 依靠此模块接入输入信号、时钟、参考电压。

(1) 模拟前端

信号发生器产生的正弦波测试信号是单端信号, 而 ADC 输入部分需要共模电平为 1 V 的差分信号输入, 所以输入电路需要尽量低失真地完成单端到差分的转换。通过巴伦 (balanced to unbalanced) 耦合与使用差分运算放大器均可实现单端到差分的信号转换, 但考虑到无源的巴伦具有更小的噪声, ADC 性能测试中采用了巴伦交流耦合的实现方案。选用的巴伦型号是 ADT1-6T, 带有 50 Ω 传输线匹配, 带宽为 0.03~125

MHz, 带内 20 MHz 以下幅度不平衡小于 0.05 dB, 相位不平衡小于 0.5°。在设计中, 我们串联两个巴伦, 进一步减小了相位不平衡, 以减小输入部分对 ADC 动态性能测试结果的影响, 图 4 显示了 ADC 前端耦合电路的结构。

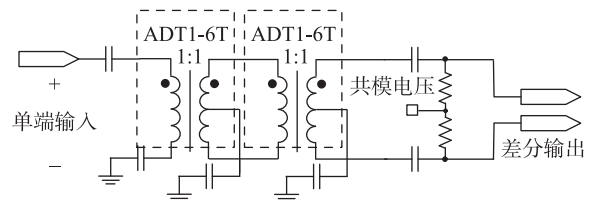


图 4 模拟前端电路结构示意图

(2) 时钟产生电路

时钟产生电路用于合成 ADC 采样时钟。为减小时

时钟抖动(jitter)对ADC有效位的影响,时钟抖动应足够小;为测试不同采样率下ADC的性能、测试ADC最高工作频率,时钟电路需要提供频率在10~40 MHz范围内的时钟信号。考虑以上需求,我们选用输出时钟抖动较小的晶振SiT9121作为时钟源,通过时钟合成芯片AD9522-3得到最终的采样时钟信号,如图5所示。参考手册^[6],时钟源的周期抖动(period jitter)RMS为1.2 ps,结合仿真可以估算出AD9522-3输出时钟抖动的RMS值优于527 fs^[7],可以达到采样率40 MSPS、分辨率12 bit的ADC测试要求。

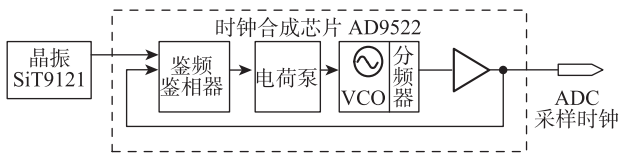


图 5 时钟产生电路结构图

(3) 其他外围电路

除去上述提到的模拟前端、时钟产生电路,评估板还有备份模拟前端、参考电压产生电路及电源。备份模拟前端提供了另一种信号接入方式,使用差分运放AD8137实现单端到差分的转换,可以调节增益和输出信号共模电平,此接入方式便于与成形电路联合调试及测试。参考电压产生电路为ADC、运算放大器提供必要的参考电压。电源电路使用LDO(low dropout regulator)将直流稳压电源提供的±6.5 V输入电压转换为评估板上各芯片需要的±5, 3.3, 1.8 V电压。

图6是设计完成的ADC评估模块的照片,待测ADC通过基座固定在此评估模块上。

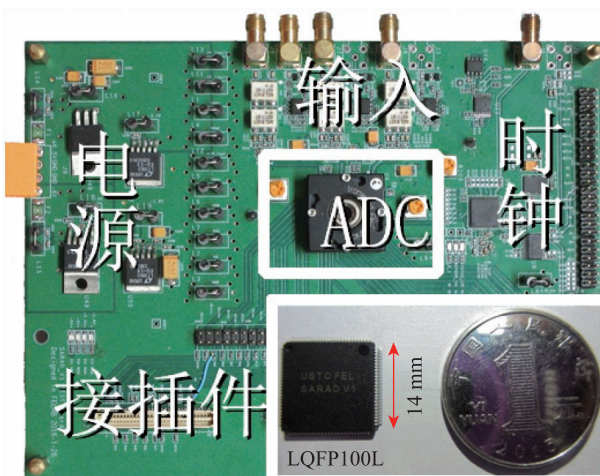


图 6 (在线彩图) ADC 评估模块照片

2.2 数据传输模块及数据处理

数据传输模块为ADC评估模块提供配置信号,接

收ADC输出数据并通过USB协议发送至上位机。数据传输模块上使用Altera公司的Cyclone III FPGA提供配置信号并进行数据缓存;使用Cypress Semiconductor公司的CY7C68013实现USB收发功能。

数据处理及分析在上位机离线基于MATLAB平台完成,通过对数据结果的处理计算分析出ADC的动态性能与静态性能指标。

2.3 测试系统

基于上述电子学模块及软件平台,可以建立完整的测试系统。如图7所示,信号源经带通滤波器后输入至待测ADC输入端,ADC数字化后的结果通过数据传输模块中的USB Type B接口传输至上位机。

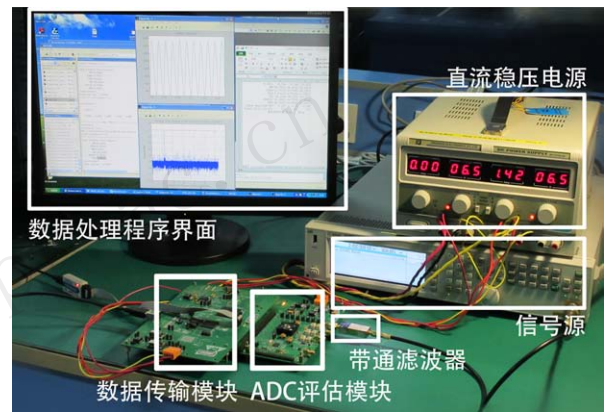


图 7 (在线彩图) 测试系统照片

3 系统测试结果

3.1 测试方法与流程

ADC测试分为动态测试和静态测试两部分。动态测试衡量ADC在不同频率下的性能,相关参数有信纳比(Signal-to-Noise-and-Distortion ratio, SINAD)、有效位(Effective Number Of Bit, ENOB)、总谐波失真(Total Harmonic Distortion, THD)、无杂散动态范围(Spurious Free Dynamic Range, SFDR)、互调失真(Intermodulation Distortion, IMD)等^[8]。其中,SINAD是信号功率与其他频率成分功率(包括谐波、噪声、杂散波,但不包括直流)之比;ENOB表示实际ADC性能达到的等效位数:这两个是ADC动态性能中最核心的指标。静态测试中的相关参数有微分非线性(Differential Nonlinearity, DNL)、积分非线性(Integral Nonlinearity, INL)、失码、偏置失调误差、增益误差等。其中DNL是各道对应模拟电压范围与理想范围之间的偏离,INL是实际转换曲线与理想转换曲线之间的差别。

在 WCDA PMT 读出电子学系统中, ADC 的作用 是数字化成形后的波形, 用于进行数字寻峰。这种应 用场景下, 影响系统性能最重要的参数是基带范围内 的 SINAD 及相应的 ENOB 指标, 此外为了评估 ADC 静态性能还进行了 INL、DNL 测试。

根据 IEEE Std 1241-2010 设计了数据处理程序, 如图 8 所示。详细过程将在下面动态性能测试与静态性能 测试两小结中介绍。

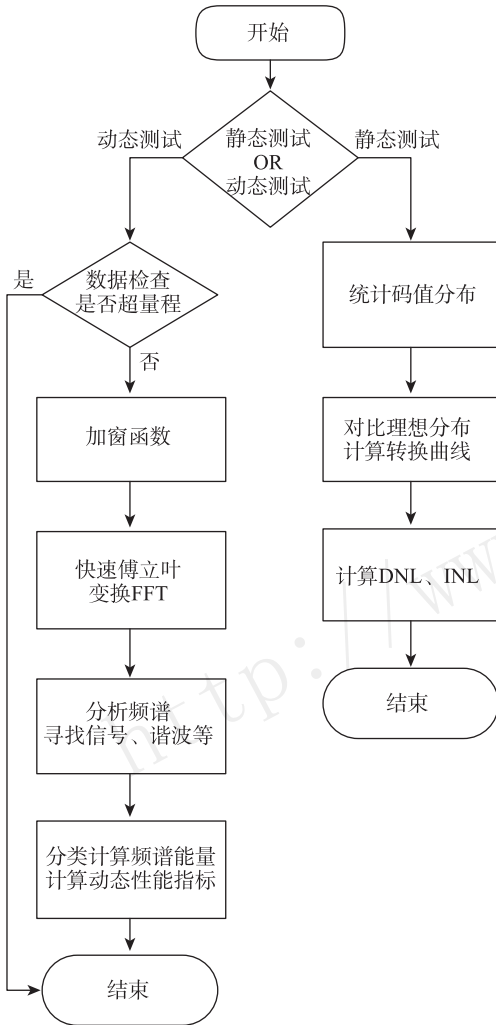


图 8 数据处理程序流程图

3.2 动态性能测试

常用的动态性能测试方法有正弦波拟合法和频谱 分析法^[8]。考虑到频谱分析法可以提供更多信息, 有 助于为后续 ADC 设计提供重要指导, 因此测试中使 用了此种方法。将单频正弦波作为 ADC 输入信号, 幅 度选为满量程的 -1 dB, 共模电压按照 ADC 要求取 1 V。 上位机收到并保存 ADC 输出后, 启动程序计算性能参 数。程序工作过程为: (1) 截取长度为 2^N 的连续采 得的数据点, 以方便后续快速傅立叶变换 (Fast Fourier

Transform, FFT) 计算; (2) 四参数拟合法计算信号幅 度, 判断是否超量程, 如果不超出量程则继续执行, 否 则终止; (3) 为信号加窗函数, 消除非相干采样带来的 频谱泄漏; (4) FFT 分析数据, 计算频谱分布; (5) 根 据频谱图寻找信号主峰、谐波, 分类计算能量并最终得 到需要的性能参数。

数据处理过程举例如下。上位机读取采样率为 31.746 MSPS, 输入信号频率 15.5 MHz 时 ADC 输出的 数据, 其时域波形如图 9 所示。经过四参数正弦拟合可 判断其幅度不超过 2 V (或数字码 4096) 的满量程, 于 是加窗函数并进行 FFT 得到频谱 (图 10)。频谱中除 去直流后能量最高处位置对应输入信号频率, 并据此可 找到谐波, 除去信号峰与谐波能量, 其他频率一般视 作噪声。对谐波能量求和, 与信号能量对比可计算得 到总谐波失真 (THD)。根据信号能量与主峰之外的其 他能量之和, 可以算出信纳比 (SINAD)。根据 ENOB 与 SINAD 间的关系式 $ENOB = (SINAD - 1.76) / 6.02$, 可进一步计算出 ENOB。相关参数如图 10 中标注所 示。

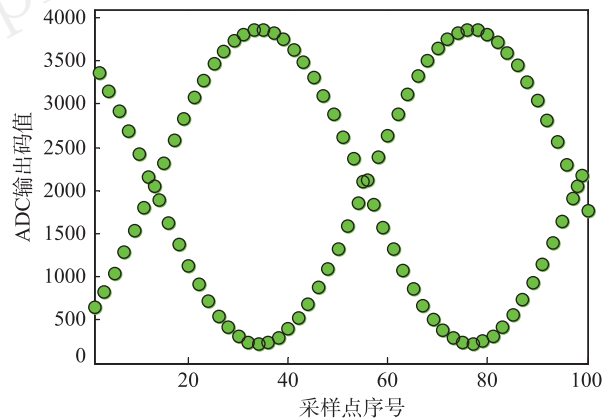


图 9 (在线彩图) 时域波形图

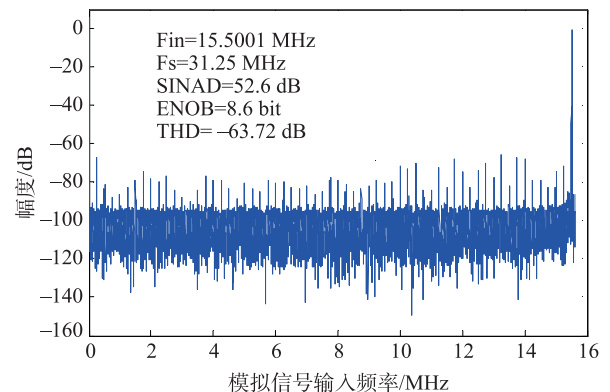


图 10 (在线彩图) 频谱图输入信号频率 15.5 MHz

输入信号为高频与低频正弦波信号时，测得的频谱如图 10~11 所示。

固定采样率 31.25 MSPS，换用不同频率 (2.4~ 15.5 MHz) 输入信号进行动态性能测试，可得下面图 12 和图 13 中的 SINAD 与 ENOB 测试结果。测试结果显示，输入信号频率低于 10 MHz 时，有效位大于 8.9 位；输入信号频率在 10~15.5 MHz 时，有效位高于 8.6 位，达到有效位接近 9 bit 的第一版性能要求。

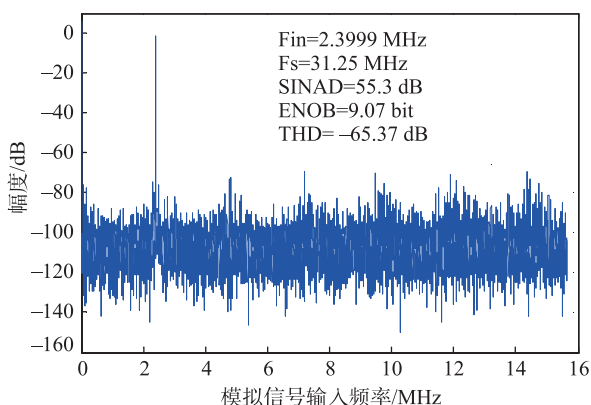


图 11 (在线彩图) 频谱图输入信号频率 2.4 MHz

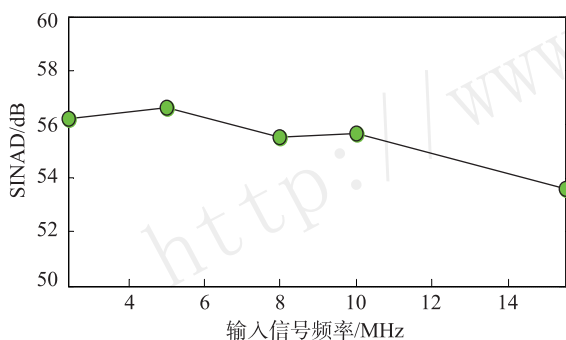


图 12 (在线彩图) SINAD 随输入信号频率变化曲线

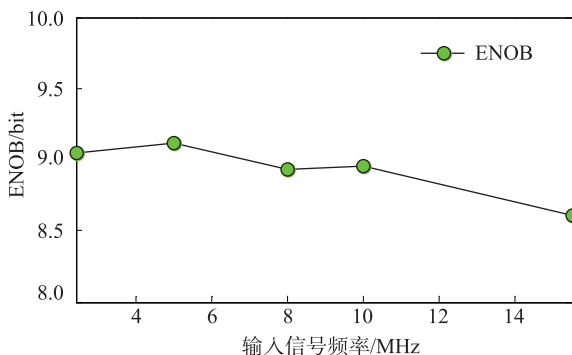


图 13 (在线彩图) ENOB 随输入信号频率变化曲线

3.3 静态性能测试

静态性能测试可以采用步进测量法和直方图统计法^[8]。步进测量法需要在电路设计中加入步进测量电

路；而直方图统计法测静态性能可以与动态性能测试使用相同的输入模块，简化测试系统，故选用直方图统计法。直方图统计法测试过程中，ADC 输入幅度略超过满量程的正弦波，在上位机接收并保存数据。数据处理程序统计文件中各个码值出现的频数，然后通过下面的公式计算出转换曲线：

$$T[k] = C - A \times \cos\left(\frac{\pi \times H[k-1]}{S}\right), k = 1, 2, 3, \dots, (2^N - 1),$$

其中： $T[k]$ 为 ADC 输出码值 k 的转换电压； C 为失调误差； A 为输入正弦信号幅度； $H[k-1]$ 是统计得到的累积分布； S 是总采样点数。将实际转换曲线和理想转换曲线对比，即可得到 INL。根据转换曲线计算 ADC 各输出码值对应的道宽，与理想 ADC 对应的值比对，可得到 DNL。

测试中选择输入信号频率为 2.4 MHz，幅度略大于 ADC 量程，经过带通滤波器输入 ADC，ADC 采样率 31.25 MSPS。采集大量数据可以统计得到输出码值分布如图 14 所示，根据码值分布可以得到转换曲线图 15。对图 15 中的转换曲线，按照纵轴为 y ，横轴为 x ，进行线性拟合 $y = p_1 \times x + p_0$ ，可以得到 $p_1 = 2050.13$ ， $p_0 = 2041.77$ ， $R^2 = 0.9999978$ 。根据 R^2 可以判断输入输出成线性关系，码值分布趋势符合单频正弦输入对应的理想分布。

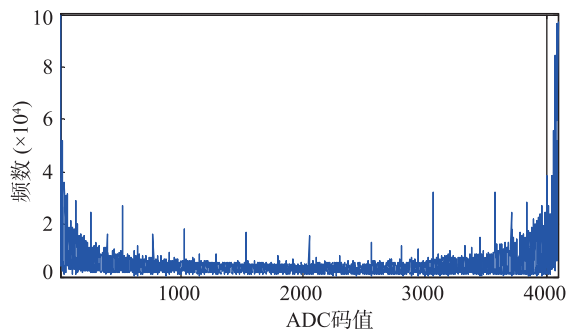


图 14 (在线彩图) 码值分布统计结果

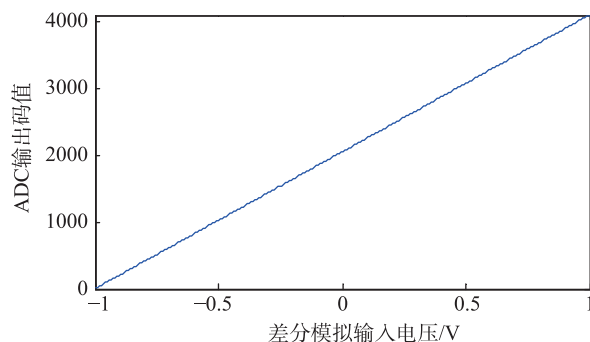


图 15 (在线彩图) 转换曲线

根据前面推算出的转换曲线, 可以进一步计算微分非线性 (DNL) 曲线与积分非线性 (INL), 如下图 16~17 所示。微分非线性的分布范围是 DNL 在 $-1 \sim 7.9$ LSB, INL 在 $-5.8 \sim 5.3$ LSB 之间。在极个别码值处 DNL 值小于 -0.9 LSB, 表明 ADC 有部分失码。同时, 部分道的微分非线性明显偏高, 表明 ADC 可能会把过宽的模拟电压范围量化为同一个数码, 这种现象会引起无法修正的模拟信息损失^[9]。INL 曲线中则存在以 512 或 256 为周期的小循环, 与 DNL 中按照间隔接近 2^N 出现的“尖刺”具有相同的规律。

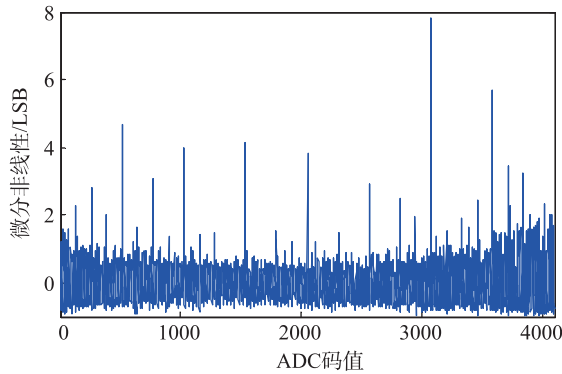


图 16 (在线彩图) 微分非线性

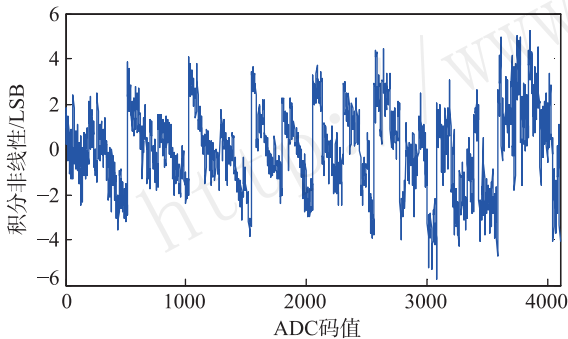


图 17 (在线彩图) 积分非线性

INL、DNL 曲线中出现的 2^N 规律性, 很可能与 ADC 结构中相邻两位权重比为 2 有关联。考虑到在 ADC 量化过程中, 各位间权重分配是通过 DAC 的电容阵列中各个位控制的电容值之比确定的, 可以认定是电容阵列中位与位之间电容值之比偏离了设计值, 引起静态性能参数 INL、DNL 曲线的变化。电容值之比发生变化可能是受工艺影响, 也可能与电路的寄生参数有关。在下一版设计中, 我们将对此进行改进, 对应的解决方案有添加模拟电路进行校准、补偿使权重比恢复^[10]; 或者增加设计冗余, 再在离线或在线数据处理中修正非线性的影响^[11]。

4 结论与展望

本文介绍了针对 LHAASO WCDA PMT 读出设计的逐次比较型 ADC 的测试。工作中构建了完整的测试系统, 并按照 IEEE Std 1241-2010 进行了测试与数据处理。动态性能测试结果表明当输入信号频率低于 10 MHz 时, ADC 有效位大于 8.9 位; 输入信号频率在 10~15.5 MHz 时, 有效位高于 8.6 位, 达到了第一版原型 ASIC 的设计目标要求。通过对此 ADC 动态性能与静态性能测试结果的分析, 目前此 ASIC 的性能期望可以通过优化电容阵列中电容失配参数进一步进行提升, 这也为下一版的 ASIC 改进设计提供了重要的参考。

参考文献:

- [1] CAO Zhen. Chinese Physics C, 2010. **34**(2): 249.
- [2] YAO Zhiguo, WU Hanrong, CHEN Mingjun, *et al.* Proceedings of the 32nd ICRC, 2011.
- [3] ZHAO Lei, LIU Shubin, AN Qi. Chinese Physics C, 2014. **38**(1): 016101.
- [4] LIU Jianfeng, ZHAO Lei, YU Li, *et al.* Evaluation of a Front-end ASIC Prototype for the Readout of PMTs in Water Cherenkov Detector Array[C]//IEEE International Conference on Electronic Measurement & Instruments, IEEE, 2016: 507.
- [5] LIU Jianfeng, ZHAO Lei, QIN Jiajun, *et al.* Chinese Physics C, 2016. **40**(11): 116103.
- [6] SiTime Corporation. SiT9121 1-220 MHz High Performance Differential Oscillator. Rev 1.07[EB/OL]. [2017-01-19]. <https://www.sitime.com/products/lvpecl-lvds-hcsl-oscillators/sit9121>.
- [7] Analog Devices, Inc. 12 LVDS/24 CMOS Output Clock Generator with Integrated 2 GHz VCO, AD9522-3 Data Sheet. Rev. A[EB/OL]. [2017-01-19]. <http://www.analog.com/en/products/clock-and-timing/clock-generation-distribution/ad9522-3.html>.
- [8] IEEE Instrumentation & Measurement Society. IEEE Standard for Terminology and Test Methods for Analog-to-digital converters[C]//IEEE Std 1241-2010 (Revision of IEEE Std 1241-2000): 1.
- [9] LIU Wenbo, HUANG Pingli, CHIU Yun. IEEE Journal of Solid-State Circuits, 2011. **46**(11): 2661.
- [10] KURAMOCHI Y, MATSUZAWA A, KAWABATA M. A 0.05-mm² 110- μ W 10-b self-calibrating successive approximation ADC core in 0.18- μ m CMOS[C]//Solid-State Circuits Conference, 2007. ASSCC'07. IEEE Asian, IEEE, 2007: 224.
- [11] MURMANN B. Digitally Assisted Data Converter Design[C]//ESSCIRC (ESSCIRC), 2013 Proceedings of the IEEE, 2013: 24.

Testing of a 12 bit 30 MSPS SAR ADC

YANG Yunfan^{1,2}, ZHAO Lei^{1,2,†}, ZHOU Shengzhi^{1,2}, LIU Jianfeng^{1,2}, LIU Shubin^{1,2}, AN Qi^{1,2}

(1. State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;

2. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

Abstract: Aiming at the requirement of readout electronics in physics experiments, a 12 bit 30 MSPS successive-approximation-register (SAR) analog-to-digital converter (ADC) with low power consumption has been designed. To evaluate the performance of this ASIC, we conducted a series of tests. We set up a test system, and we tested the ADC according to IEEE std 1241-2010. The test results indicate that the effective number of bit (ENOB) of the ADC is around 9 bits when the input signal is in the first Nyquist zone, which has met the design requirements. According to the results of dynamic and static tests of this ADC, we found that the non-linearity performance of this ASIC can be further enhanced by improving the mismatching among the capacitor array, and this provides important information for the design of the second version of this ADC.

Key words: analog digital converter; successive approximation; dynamic performance test; static performance test

<http://www.npr.ac.cn>

Received date: 4 May 2017; **Revised date:** 2 Jun. 2017

Foundation item: National Natural Science Foundation of China (11722545); Knowledge Innovation Program of Chinese Academy of Sciences (KJCX2-YW-N27)

† **Corresponding author:** ZHAO Lei, E-mail: zlei@ustc.edu.cn.