

文章编号: 1007-4627(2016)03-0358-07

FPGA配置片反熔丝PROMs加速器地面单粒子效应特性研究

耿超, 李孝远, 林熠, 罗春华, 谢文刚, 邓玉良, 李达

(深圳市国微电子有限公司研究院, 广东 深圳 518057)

摘要: 针对0.13 μm CMOS(Complementary Metal-Oxide-Semiconductor)体硅外延工艺下FPGA(Field Programmable Gate Arrays)配置片反熔丝PROM(Programmable-Read-Only-Memory)进行了单粒子效应(Single Event Effects SEEs)的加速器地面模拟试验研究。以PROM的存储容量、数据类型和工艺差异性为研究变量,考核与验证其在不同种类和能量粒子入射的系列性加速器地面SEEs模拟试验。研究结果表明,相对于8 Mbits PROM而言,空片16 Mbits PROM抗辐射性能最优,且从翻转饱和截面上说,16 Mbits的PROM具备更高的可靠性,优于国外同系列的芯片类型,试验用PROM芯片的单粒子锁定阈值 $\geq 99.0 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 。另一方面,研究0.13 μm CMOS普通与深阱工艺技术下PROM芯片单粒子翻转效应异同性的实验数据表明,在高LET(Linear Energy Transfer)处的两者抗辐射性能并无明显变化,但是低LET处(LET翻转阈值)的加固效果较为明显,即抗辐射技术能力主要体现在LET翻转阈值的提升而非翻转截面的减小。

关键词: 重离子; 反熔丝PROM; 单粒子锁定; 单粒子翻转

中图分类号: TN386.1 **文献标志码:** A **DOI:** 10.11804/NuclPhysRev.33.03.358

1 引言

近年来,可重置现场可编程门阵列(Field Programmable Gate Arrays, FPGA)以其优良的性能在空间科学和航天航空领域中得到了广泛的应用,而可编程只读性存储器(Programmable-Read-Only-Memory, PROM)作为数据刷新配置芯片在空间应用可靠性上越来越受到关注。例如,早期XQ1701L作为一次编程只读存储器与3.3 V Xilinx XC4000和2.5 V Virtex FPGAs配置高兼容性,在航天科技应用中得到了广泛的青睐。然而,由可配置存储单元PROM引起的单粒子翻转效应(Single Event Upset, SEU)^[1-2]作为失效的途径影响着功能的正常使用,对应的测试5 V和3.3 V FPGAs的线性能量转移(Linear Energy Transfer, LET)阈值约在 $5 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ ^[3-4]。

对于一般非易失性存储器(Non-volatile memory),例如电只读和电可擦除可编程存储器以及铁电存储器等,这些器件需要附加的工艺才可实现,从而导致了工艺周期长,复杂性高和可靠性低等经济成本问题。因此,随着互补金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)工艺技术的提升和器件特征尺寸的减小,运用薄栅氧作为反熔丝将有着

较为明显的优势(沟道长度和栅氧层厚度的减小即降低了击穿电压)。

本文研究FPGA配置片PROM存储单元,利用MOS管栅氧击穿实现数据编程功能,为现场编程、高密度数据存储、高速数据读出与高可靠性提供一定的技术保障。而且,工艺上成熟的标准CMOS技术下栅氧击穿反熔丝存储单元主要有三种结构(包括1T、1.5T和3T),差异性在于MOS管的个数。对于0.13 μm 工艺以及特征尺寸更小的工艺,鉴于工艺流程兼容标准的CMOS,在运用了I/O器件和内核(Core)器件的栅氧后,1T结构反熔丝存储单元无需增加特殊的层次,因此文中0.13 μm PROM器件均采用了1T结构的存储单元(见图1)。

图1所示为PROM采用的1T存储单元结构及其纵切SEM实际图像。它的存储原理在于运用字线的高压编程,击穿栅氧较薄的器件,其击穿的位置基本固定在厚氧和薄氧的边缘(Program Area)。PROM中的厚氧I/O器件能够承受高压而不会对器件产生损伤,读数据进程中,厚氧器件一般作为字线的选择管。这种将不同栅氧厚度的MOS管做成1T结构单一击穿管的优点在于,单元面积减小与读取速度和存储容量上的提升,

收稿日期: 2015-06-24; 修改日期: 2015-09-21

作者简介: 耿超(1987-),男,安徽马鞍山人,抗辐射电子工程师,博士,从事集成电路与半导体器件辐射效应和可靠性加固设计研究;
E-mail: gengchao13@163.com。

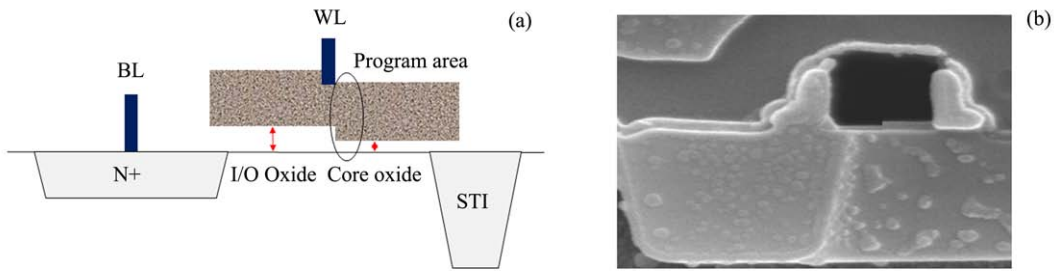


图 1 (在线彩图) 1T存储单元结构示意图(a)及其纵切扫描电子显微镜(Scanning Electron Microscope, SEM)结构示意图(b)

从而实现试验 PROM 器件的 40 ns 读取速度与 8/16 Mbits 存储容量。

因此, 本文中将以阐述试验芯片特性和加速器地面模拟单粒子效应 (Single Event Effects, SEEs) 试验为研究基础, 结合重离子试验数据与 Weibull 函数拟合参数及分析评估方法^[5-6], 围绕存储容量和工艺技术等变量的异同性开展 SEEs 敏感性与加固技术验证的研究, 完成此款 FPGA 配置片反熔丝 PROM 抗辐射性能与加固可靠性的测试及分析评估。

2 反熔丝PROM器件特性与加速器地面模拟试验

加速器地面模拟 SEEs 试验用反熔丝 PROM 芯片均为 0.13 μm CMOS 体硅外延 (Bulk Epitaxy) 工艺, 其对应的 I/O 和内核电压分别约 3.3 V 和 1.8 V。对于试验反熔丝 PROM 芯片来说, 其主要的系统架构的功能电路包括了存储阵列, 字、位线译码电路, 数据输入、输出控制电路, 逻辑控制电路, 电源控制模块和 I/O 环路等 (见图 2)。

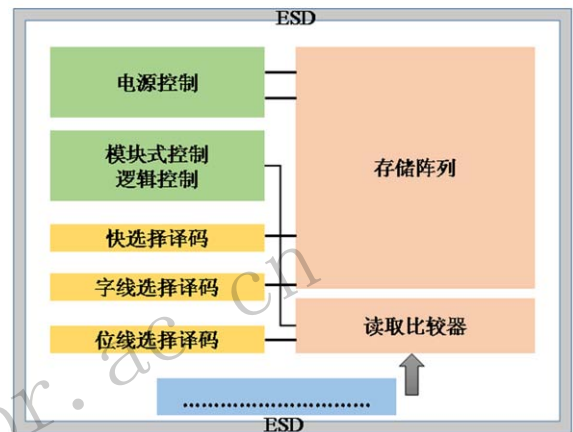


图 2 (在线彩图) 反熔丝PROM芯片的典型系统架构及功能电路

对于串/并行配置片, 均采用相同击穿机理的存储单元。而它们之间最大的区别在于串行片的寻址是通过输入时钟的采样, 完成对内部地址的遍历, 且在试验 PROM 芯片中选取了容量和工艺异同的器件, 表 1 为试验用反熔丝 PROMs 芯片的主要器件特性和参数。

为了保障芯片在辐射效应考核中的数据充裕性和有

表 1 加速器试验用FPGA配置片反熔丝PROMs的基本器件特性参数

器件	存储容量/ Mbits	工艺	寻址方式	编程码
1# PROM	16	0.13 μm Bulk EPI	串行	00-FF循环序列码
2# PROM	16	0.13 μm Bulk EPI	并行	00-FF循环序列码
3# PROM	8	0.13 μm Bulk EPI	串行	00-FF循环序列码
4# PROM	8	0.13 μm Bulk EPI with Deep Well	串行	00-FF循环序列码

效性, 拟在 LET 值覆盖范围较大的辐射环境中进行加速器地面 SEEs 模拟试验, 且所有的粒子束 LET 值数据点均为一次试验完成, 从而保证了试验的单一性和准确性。因此, 在中国科学院近代物理研究所兰州重离子研究装置 (Heavy Ions Research Facility in Lanzhou, HIRFL) TR5 终端完成高 LET 值的单粒子锁定 (Single Event Latchup, SEL) 效应试验, 中国

原子院 (China Institute of Atomic Energy, CIAE) 核物理研究所串行加速器 HI-13 SEEs 试验装置上完成了 LET 值约 9 ~ 65 MeV·cm²/mg 的辐射效应 (单粒子翻转 Single Event Upset, SEU) 测试与考核试验, 其所用的具体粒子特性见表 2 (种类、能量和注量率均由试验单位给出, LET 值和射程均由 SRIM-Professional 软件^[7]计算所得)。

表 2 加速器地面SEEs模拟试验粒子特性

加速器	粒子种类	能量/MeV	注量率/($\text{cm}^2\cdot\text{s}$)	LET 值/($\text{MeV}\cdot\text{cm}^2/\text{mg}$)	硅中射程/ μm
HIRFL	Bi	682	1.0×10^4	99.0	43.3
CIAE HI-13	Si	135	1.9×10^4	9.28	50.69
	Cl	150	1.4×10^4	13.41	42.78
	Ti	160	1.1×10^4	22.19	32.90
	Ge	205	7.1×10^3	37.42	29.95
	Br	218	1.3×10^4	42.07	30.17
	I	250	1.4×10^4	63.91	27.80

3 反熔丝PROM SEEs特性与加固技术验证研究

3.1 SEL试验与特性

反熔丝 PROM 16 Mbits 1#和2#芯片均在 HIRFL 上进行了SEL 效应测试与考核。试验过程中, 在设定 3.3 V 电源电压工作下观察整个电路板级的电流变化与芯片工作状态。依据考核的标准要求, 将电流的变化幅值控制在 $\pm 40\%$ 时, 均可认定为未发生 SEL。为了直观表示电流波动程度的剧烈程度, 本文采用了差值的公式(见式 1)来示意。结果表明, LET 值为 $99.0 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的束流条件下, 电流出现了一定程度上的抖动现象(见图 3)。

$$R_p = \frac{C_{\text{post-rad}} - C_{\text{pre-rad}}}{C_{\text{pre-rad}}} \times 100\%, \quad (1)$$

其中 $C_{\text{pre-rad}}$ 和 $C_{\text{post-rad}}$ 分别为辐照前后的电路板级电流值。

试验中, 对于 1# PROM 为串行片, 信号为单一时钟信号输入, 数据输出采用串行模式。而 2# PROM 为并行片, 并行地址输入为 20 位, 数据输出位宽为 16 位。试验芯片均编写序列码。并行地址采用从初始 00_0000H 到 1F_FFFFH 的递增方式进行输入, 正常读取时, 数据位按照序列码变化。

由图 3 可知, 1# 与 2# PROM 芯片之间的 SEL 效应存在一定的差异性。对于 1# PROM 而言, 辐照前后其电流值的变化并不明显, 从而认定为 SEL 效应免疫。2# PROM 在辐照的过程中, 电流值存在一定的波动性, 且多处产生了异常点, 电流的陡然剧增降并未影响其芯片的正常工作。因此, 在数据真实与芯片功能正常的基础上, 认定试验用反熔丝 1# 和 2# PROM 芯片对 LET 值为 $99.0 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 粒子束, 未观察到明显的 SEL 现象。

2# PROM 芯片电流扰动现象的出现, 其主要原因在于 SEL 试验中同时伴随着 SEU, 尤其是多位翻转的

现象。所以当试验芯片发生 SEU 时, 对于串行片而言, 数据为单 bit 输出, 对 3.3 V I/O 电源扰动不明显。但是对于并行片, 由于其为并行 16 bits 输出, 在高能量条件下, 会出现多个数据位同时翻转的现象, 从而使 3.3 V I/O 电源, 辐照前后会出现明显扰动。

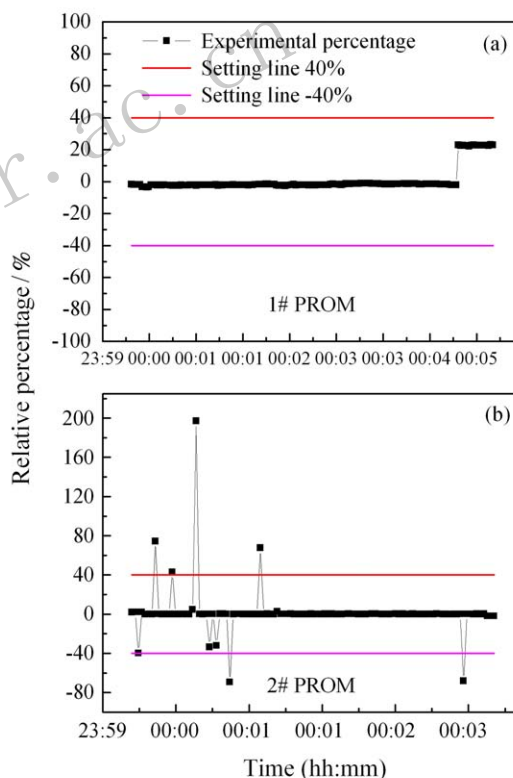


图 3 (在线彩图) 1# PROM 16 Mbits 串行片电流差值比率(a)及 2# PROM 16 Mbits 并行片电流差值比率(b)

3.2 SEU翻转效应试验与特性

加速器地面模拟 SEEs 试验反熔丝 PROM 测试系统主要由主控 FPGA、存储 SRAM、待测试存储器、通信模块 (JTAG 和串口) 和电源模块组成。通过 FPGA 完成模块控制功能、数据处理和信息交互等功能。JTAG 对 FPGA 程序的下载和编程, 且串口来完成

系统板与测试机的交互通信。在试验过程中,当选定 PROM 器件后,系统会自动将 PROM 的存储数据加载到 SRAM 中。加载完成后,将重复进行 SRAM 数据和待测 PROM 数据的比较并记录试验结果。试验完后的 PROM 系列片在编程器上进行数据校验,以确保其功能正常和单元及电路的未发生损坏。

基于加速器地面 SEEs 试验的粒子辐射环境(见表 2),文中 PROM 芯片均被垂直入射,且总注量均

约为 $1.0 \times 10^7 / \text{cm}^2$ 。为了充分剖析研究变量对 PROM 芯片 SEEs 敏感性的影响和验证加固技术的有效性(深阱工艺技术),试验中,对数据类型与工艺技术不同的 PROM 芯片均作了考核和对比性的分析评估。

3.2.1 数据类型的敏感性

针对 PROM 芯片电路功能的特点,分别对 16 和 8 Mbits 的系列片进行了编程和空片的辐射效应测试,具体的差异性见表 3。

表 3 加速器 SEEs 测试前芯片配置说明

芯片序号	数据类型	测试说明
1#	编程	读取环路抗单粒子测试,涉及模块包括计数器、地址译码和数据读取环路等
3#	空片	输出逻辑抗单粒子测试,涉及模块包括读取比较器、EDAC和数据输出控制等

考核与验证芯片辐射可靠性的较佳方案即为经典的粒子 LET 值与 SEU 截面对应的关系曲线(见图 4 和图 5)反映。图 4 与图 5 分别为 1# 和 3# PROM 芯片在

编程和空片下的 SEU 效应的概况,且为了量化地针对抗辐射性能进行对比,对其试验数据均进行了 Weibull 函数的拟合(见表 4)。

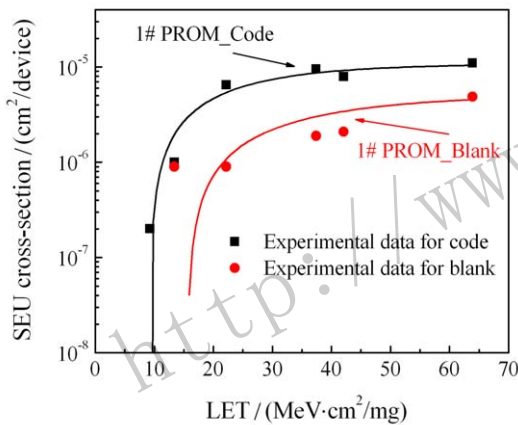


图 4 (在线彩图)1# PROM 16 Mbits 串行片的数据类型与 SEU 的敏感性

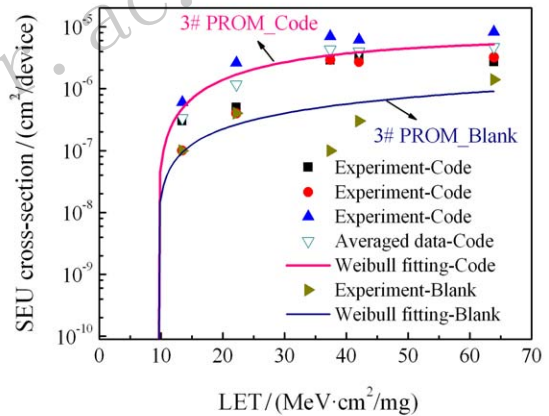


图 5 (在线彩图)3# PROM 8 Mbits 串行片的数据类型与 SEU 的敏感性

表 4 1#PROM 与 3#PROM 器件的 Weibull 函数拟合参量

器件	饱和截面/($\text{cm}^2/\text{device}$)	LET 翻转阈值/($\text{MeV}\cdot\text{cm}^2/\text{mg}$)	W 参量/($\text{MeV}\cdot\text{cm}^2/\text{mg}$)	S 参量
1# PROM_Blank	5.2×10^{-6}	15.6	24.75	1.1
3# PROM_Blank	3.75×10^{-6}	9.28	215.98	0.93
1# PROM_Code	1.08×10^{-5}	9.28	18.06	1.09
3# PROM_Code	6.25×10^{-6}	9.28	33.74	1.2

由表 4 和图 4 可知,16 Mbits PROM 串行片在配置数据类型为空的情况下抗辐射性能较为优越,具体体现在 LET 翻转阈值和截面饱和值,其分别为 $15.6 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 与 $5.2 \times 10^{-6} \text{ cm}^2/\text{device}$ 。从 Weibull 函数拟合参量中得知,LET 翻转阈值约提升了 68%,且截面饱和值有数量级上的降低。这个现象从数据读

写量的方面具有合理性且试验过程中,观察到空片状态 PROM 芯片的 SEU 主要来源于重离子对逻辑电路部分的轰击。

图 5 中 3# PROM 8 Mbits 串行片在 SEU 数据类型敏感性上表现是 SEU 截面的增加,而 LET 翻转阈值并未有波动,这个源于数据容量上的差异。对比 16 Mbits

PROM 芯片来说, 抗辐射 LET 阈值在编程情况下均为 $9.28 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, 而 1# PROM 16 Mbits 空片下的 LET 阈值提升主要是整体数据量增加, 但是却未写入数据, 因此其抗辐射的冗余量增加, 从而导致其表现在了 LET 翻转阈值上。

基于 Weibull 函数拟合参量与图 3 和图 4 的数据所示, 1# PROM 在编程完后其对应的抗辐射性能优于 3# PROM 编程序列码芯片, 且主要体现在了 SEU 饱和截面上, 分别为 $1.08 \times 10^{-5} \text{ cm}^2/\text{device}$ 与 $6.25 \times 10^{-6} \text{ cm}^2/\text{device}$, 归一到位分析即为 $6.75 \times 10^{-7} \text{ cm}^2/\text{Mbits}$ 与 $7.81 \times 10^{-7} \text{ cm}^2/\text{Mbits}$ 。SEEs 物理机制的层面上分析, LET 翻转阈值与 SEU 饱和截面可分别等价于其临界电荷量与 SEEs 灵敏面积。对于同一工艺下, 其编程后对应的单元临界电荷量基本保持不变, 从而导致了 LET 翻转阈值未变化。而对于大容量 16 Mbits 的 1# PROM, 存储容量的提升使得同一封装管壳芯片在编程的情况下重离子与灵敏单元的相互作用概率有所增加, 但是在有限的入射粒子数下增加的作用概率不及存储容量位单元的增加, 从而体现在 SEEs 上即为单粒子位翻转饱和截面减小, 因此, 容量的提升, 使得 1# PROM 16 Mbits 芯片抗 SEU 性能上更加优于 3# PROM。

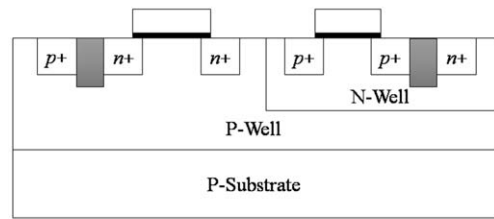
3.2.2 工艺类型的敏感性

为了提高芯片的抗辐射性能, 在工艺水平上的加固技术越来越得到广泛的应用。在加速器 SEEs 试验芯片中, 选取了两个批次不同工艺下的 PROM 芯片进行了抗辐射性能工艺加固技术的分析评估与验证。

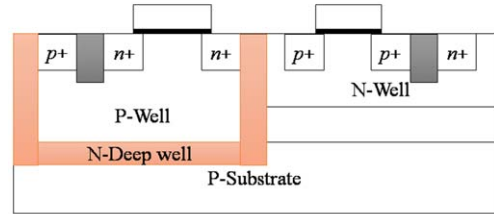
图 6 为 3# PROM 和 4# PROM 芯片采用的 $0.13 \mu\text{m}$ CMOS 工艺下典型器件结构。两者之间存在最大的区别在于 NMOS 管多了一个深阱结构。对于这个工艺异同带来的芯片抗辐射性能敏感性变化将有利于 SEEs 物理翻转机制的理解, 且为其作必要的数据支撑。因此, 3# PROM 和 4# PROM 芯片在加速器 SEEs 模拟试验装置上进行了系列的翻转试验 (见图 7)。

图 7 给出 3# PROM 和 4# PROM 芯片加速器 SEEs 试验中不同粒子不同 LET 值下对应的翻转截面试验数据, 且图中示意的为 Weibull 函数拟合参数。针对多次测试数据, 对其平均值进行了 Weibull 函数拟合。从曲线数据和拟合参数(饱和截面与 LET 翻转阈值)中可以得知, 4# PROM 芯片的抗辐射性能优于 3# PROM 芯片。所以验证了 $0.13 \mu\text{m}$ CMOS 体硅外延工艺下深阱结构可以作为提高芯片 LET 翻转阈值的一种加固技术。

另一方面, 从 SEU 发生的物理机制上来说, 临界电



(a) 3# PROM 芯片中运用的 $0.13 \mu\text{m}$ CMOS 普通工艺



(b) 4# PROM 芯片中运用的 $0.13 \mu\text{m}$ CMOS 深阱工艺

图 6 (在线彩图) 3# PROM 和 4# PROM 芯片采用的 $0.13 \mu\text{m}$ CMOS 工艺下典型器件结构

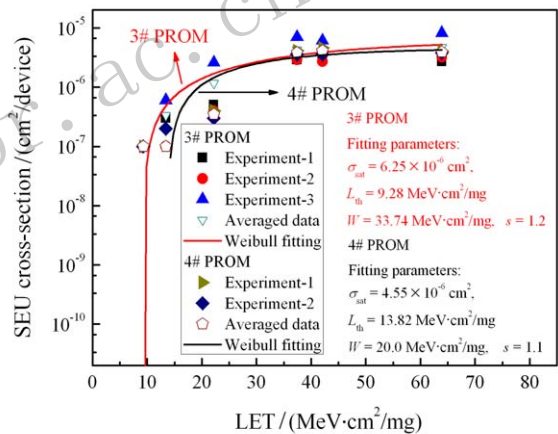


图 7 (在线彩图) 3# PROM 和 4# PROM 芯片的 SEU 截面随着粒子 LET 值的变化关系曲线

荷量 (Q_{crit}) 是判断翻转的关键参量, 且其一般由如下公式定义^[8-9],

$$Q_{crit}(pC) = 0.01035 \times LET_{th} \times h_{sv}, \quad (2)$$

式中 LET_{th} 为 LET 翻转阈值, h_{sv} 为灵敏单元纵向深度。

从图 7 中的 Weibull 函数拟合参数看出, 3# PROM 和 4# PROM 芯片的 SEU 饱和截面分别为 $6.25 \times 10^{-6} \text{ cm}^2/\text{device}$ 与 $4.55 \times 10^{-6} \text{ cm}^2/\text{device}$ 。因在同一工艺下的流片, 它们发生 SEU 时临界电荷量可假设基本相等。基于式(2)的理解, SEU 临界电荷量体现在了 LET 翻转阈值与灵敏单元深度两个研究变量。那么针对带有深阱结构的 $0.13 \mu\text{m}$ CMOS 工艺下的 4# PROM 芯片, 深阱结构一定程度上减小了粒子入射后

电子空穴对漂移扩散深度,从而增大了其抗辐照性能的LET翻转阈值。

为了进一步地验证深阱结构抗加固性能,利用基于GEANT4的MUFPSA(Multiple Functional Package for SEEs Analysis)^[5-6]对入射粒子与有无深阱结构灵敏单元相互作用后的能量沉积进行了计算。基于式(2)和图7的数据,MUFPSA仿真 10^4 个入射粒子后产生的能量沉积均值数据如图8所示。以能量沉积的角度来分析,其产生的能量沉积均值之比约为1.5,且两个器件的LET翻转阈值分别为 $9.28 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 和 $13.82 \text{ MeV}\cdot\text{cm}^2/\text{mg}$,其之比同样约为1.5。另一方面,对于饱和和翻转截面来说,3# PROM和4# PROM芯片的截面 $6.25 \times 10^{-4} \text{ cm}^2$ 与 $4.55 \times 10^{-4} \text{ cm}^2$ 同样与能量沉积量以及临界电荷量有密切关系。因此,深阱工艺结构下的4# PROM SEEs敏感性更加优于3# PROM。

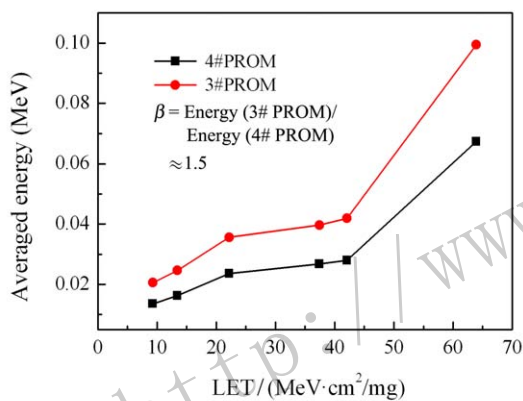


图8 (在线彩图) 入射粒子与灵敏单元物理作用过程的能量沉积均值

4 结论

针对自研FPGA配置片反熔丝PROM芯片进行了

系列性的加速器SEEs试验,并对其产生的SEEs敏感性进行了分析评估。PROM系列芯片在LET值约为 $99.0 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 下电流有异常的波动现象但未观察到其功能失常,所以其抗SEL性能良好。另外,在数据类型和工艺特性的研究变量下,SEEs敏感性表现明显。研究结果表明,(1)数据类型为空的芯片抗SEU能力优于序列码的芯片,大容量下的1# PROM在LET翻转阈值上有着一定程度上的优势,且大容量的1# PROM位翻转饱和截面小于3# PROM;(2)从试验和物理机制上均验证了 $0.13 \mu\text{m}$ CMOS深阱工艺下PROM芯片抗辐照性能加固技术的有效性,主要体现在LET翻转阈值。

参考文献:

- [1] BINDER D, SMITH E C, HOLMAN A B. IEEE Trans Nucl Sci, 1975, **22**(6): 2675.
- [2] PICKEL J C, BLANDFORD J T. IEEE Trans Nucl Sci, 1978, **25**: 1166.
- [3] KATZ R, LABEL K, Wang J J, et al. IEEE Trans Nucl Sci, 1997, **44**(6): 1945.
- [4] ALDERIGHI M, CANDELORI A, CASINI F, et al. IEEE Trans Nucl Sci, 2005, **52**(6): 2462.
- [5] GENG C, LIU J, XI K, et al. Chin Phys B, 2013, **22**(5): 059501.
- [6] GENG C, LIU J, XI K, et al. Chin Phys B, 2013, **22**(10): 109501.
- [7] <http://www.srim.org/>
- [8] WARREN K M, WELLER R A, MENDENHALL M H, et al. IEEE Trans Nucl Sci, 2005, **52**(6): 2125.
- [9] WELLER R A, MENDENHALL M H, REED R A, et al. IEEE Trans Nucl Sci, 2010, **57**(4): 1726.

Investigation Single Event Effects Characterization on Configuration PROMs of FPGA Induced by Heavy Ions

GENG Chao¹⁾, LI Xiaoyuan, LIN Yi, LUO Chunhua, XIE Wengang, DENG Yuliang, LI Da
(Academy of Shenzhen State Microelectronics Co., LTD. Shenzhen 518057, Guangdong, China)

Abstract: Single event effects (SEEs) have been characterized and investigated on one-time configured devices for field-programmable-gate-arrays (FPGA) of programmable-read-only-memory (PROM) in 0.13 μm Complementary Metal-Oxide-Semiconductor (CMOS) technology. The variables of their memory size, written data and technology have been taken into consideration as the key parameters affecting the SEEs sensitivity when testing and verifying the reliability/radiation tolerance on self-made PROMs by heavy ions. The results show that, 16 Mbits PROM within blanked data has been studied that it has better performance to radiation tolerance as compared with the 8 Mbits PROMs. Additionally, 16 Mbits PROMs have the higher reliability, if based on the viewpoint of the saturated single event upset cross-section. To the single event latchup, 16 Mbits PROMs were exposed to a total fluence of 10^7 ions/cm² at the linear energy transfer (LET) of 99.0 MeV·cm²/mg and no obvious fluctuation of current has been observed. Additionally, as comparing the zone of high LET value, 0.13 μm CMOS transistors with deep-well technology present a better radiation hardened approach than normal technology, especially in improving the threshold of LET at the zone of low LET value.

Key words: heavy ion; anti-fuse PROM; single event latchup; single event upset

<http://www.npr.ac.cn>

Received date: 24 Jun. 2015; Revised date: 21 Sep. 2015

1) E-mail: gengchao13@163.com.