

文章编号: 1007-4627(2015)01-0073-07

## 兰州反应显微成像谱仪实验中多路定标器的设计

高兴顺<sup>1, 2</sup>, 赵雷<sup>1, 2</sup>, 康龙飞<sup>1, 2</sup>, 刘树彬<sup>1, 2</sup>, 安琪<sup>1, 2</sup>

(1. 中国科学技术大学核探测与核电子学国家重点实验室, 合肥 230026;

2. 中国科学技术大学近代物理系, 合肥 230026)

**摘要:** 介绍了一种基于PXI总线的高精度、多通道定标器。可测量脉冲信号的最高重复频率为100 MHz, 最高计数可达 $2^{40}$ 。定标器有2种工作模式: 定时计数模式和精确触发测量模式。定时计数模式工作在低计数率下( $\sim 1$  MHz); 精确触发测量模式可以工作在高计数率下( $\sim 100$  MHz), 可以满足兰州反应显微成像谱仪实验中对定标器的要求。基于可编程逻辑器件FPGA进行设计, 使之变得灵活, 方便进行升级和改造。

**关键词:** 反应显微谱仪; 飞行时间; 定标器; PXI; FPGA

**中图分类号:** TL81      **文献标志码:** A      **DOI:** 10.11804/NuclPhysRev.32.01.073

### 1 引言

反应成像谱仪是粒子碰撞实验研究的最新进展, 也是精细物理实验研究发展的趋势。反应显微谱仪通过测量末态粒子的完全动量, 得到碰撞反应的完全微分截面, 通过反演重构粒子碰撞过程, 从而研究粒子碰撞过程中的物理原理<sup>[1]</sup>。

飞行时间(Time of Flight, TOF)测量系统, 是反应显微成像谱仪的重要组成部分。通过测量各种能量的粒子碰撞后到达相应探测器的TOF, 从而计算出粒子对应的动量。为重构物理图像提供依据。

为了配合TOF测量系统读出电子学模块<sup>[2]</sup>, 我们设计了基于PXI总线<sup>[3]</sup>的多路定标器。TOF读出电子学模块可以给出两次触发之间各个粒子击中探测器的击中信号(Hit)之间的相对时间关系。定标器则可以测量两次触发之间Hit信号的个数。定标器与TOF读出电子学模块联合工作, 为离线数据分析提供判选条件, 有助于TOF测量系统的事例判选。TOF测量系统结构如图1所示。图中TOF Module即为TOF读出电子学模块。时钟触发扇出模块将40 MHz LVDS clock信号通过差分电缆输出给TOF读出电子学模块和定标器模块, 作为系统工作时钟, 同时它还负责接收探测器触发电子学给出的触发信号并通过PXI机箱的星型总线扇出给TOF读出电子学模块和定标器。TOF读出电子学模块和定标器则通过PCI总线分别读出输入信号的时间信

息及击中的次数。

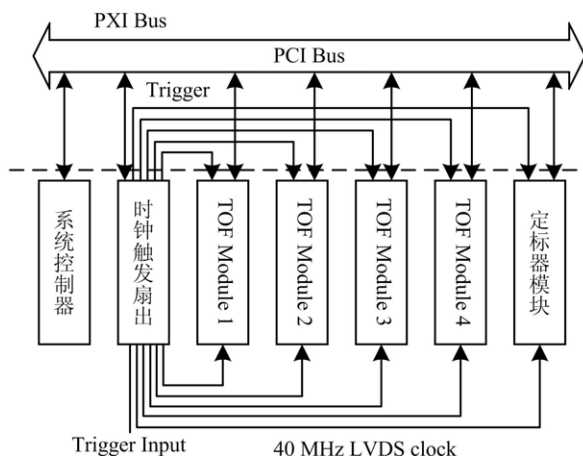


图 1 TOF 读出电子学系统结构

### 2 系统硬件设计

定标器的主要目标是与TOF测量模块联合工作, 因此与TOF测量模块一样, 基于PXI 3U模块化标准进行设计。

定标器共有8个计数通道, 可以通过数据获取软件配置选通所需的通道。数据结构上与TOF读出电子学模块保持一致, 便于数据处理。定标器的输入信号为NIM电平, 平均重复频率为1 MHz, 最高重复频率为100 MHz。定标器还有一路触发信号, 同样采

收稿日期: 2014-03-24; 修改日期: 2014-05-13

基金项目: 中国科学院知识创新工程重要方向性项目(KJCX2-YW-N27); 国家自然科学基金资助项目(11079003)

作者简介: 高兴顺(1989-), 男, 湖北麻城人, 硕士研究生; E-mail: gxs1989@mail.ustc.edu.cn

通信作者: 赵雷, E-mail: zlei@ustc.edu.cn.

用 NIM 电平，最高触发率为 1 MHz。定标器计数量程为  $10^{10}$ ，最长计数时间为 20 h。

定标器共有 2 种工作模式：定时计数模式和精确触发测量模式。

定时计数模式下，由数据获取软件在软件界面上实时显示各个通道的当前计数值，同时可以将一定的时间间隔内各个通道的计数值保存在文件中。用户可以根据需要，设置定标器的工作时间，也可以设置实时数据的刷新时间和数据存储的时间间隔。实时数据的刷新时间与数据存储的时间间隔可以配置为不同的值。

精确触发测量模式，是定标器的主要工作模式。定标器精确记录相邻两次触发信号之间 Hit 信号的个数和两次相邻触发之间时间间隔的大小。

### 2.1 硬件结构

采用可编程逻辑器件参与设计已经是数字系统设计中现在使用的设计方法。本定标器主要为 TOF 系统而设计，但也具有通用性。采用可编程器件 FPGA(Field Programmable Gate Array) 作为定标器核心逻辑器件，

将 8 个通道的计数和 1 个通道定时集成在一片 Altera 公司的 Cyclone ii 系列、型号为 EP2C20F484<sup>[4]</sup> 的 FPGA 芯片上。使用 Altera 公司提供的辅助设计软件，采用硬件描述语言 (Verilog HDL) 进行逻辑设计，并对整个逻辑进行时序仿真，检验设计的可行性。PXI 接口部分同样采用可编程器件 CPLD，使用已经成熟的 PCI IP core，实现 PXI 接口逻辑。同时，因为 CPLD 逻辑的非易失性，可以实现 FPGA 逻辑的在线更新。

按照物理实验中的需求和设计指标，定标器主要由五部分构成：信号接收与缓冲、时钟模块、计数逻辑、数据传输接口、工作状态显示和复位以及电源部分，如图 2 所示。信号接收与缓冲单元主要实现 NIM 电平到 LVTTTL 电平的转换；计数逻辑单元基于 FPGA 实现，完成计数和定时以及数据打包处理，同时实现对存储器 SDRAM 的逻辑控制；数据传输接口则集成在一片 CPLD 中，同时 CPLD 还负责控制 FPGA 的配置并可实现逻辑的在线更新；工作状态显示单元用于定标器工作状态的显示。定标器的电源部分接收 PXI 机箱提供的电源并转换成各种所需要的电源电压。

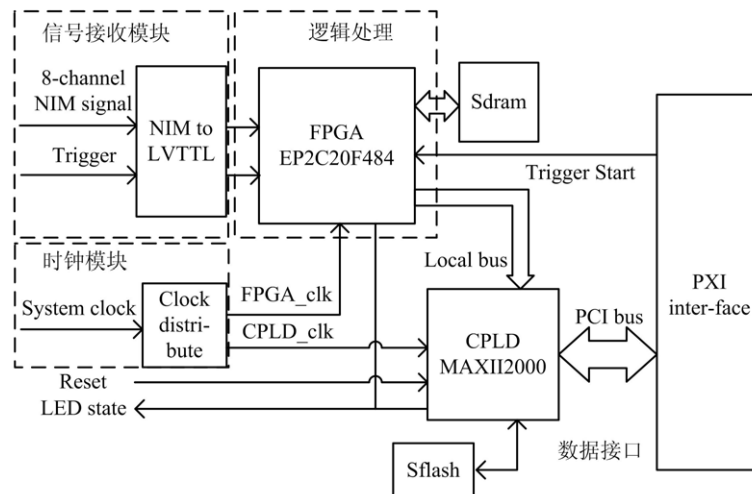


图 2 定标器设计原理框图

### 2.2 输入信号接收与电平转换电路

定标器的输入信号采用的是 NIM 电平标准，而设计中使用的逻辑器件 FPGA 和 CPLD 所使用的 IO 电平标准中没有 NIM 电平，所以需要将输入信号电平转换为 FPGA 和 CPLD 可以使用的 IO 电平。如图 3 所示，电路可以将输入的 NIM 信号转换为 LVTTTL 电平信号，以符合逻辑器件的电平标准。这里所使用的电平转换电路是 NIM—ECL—LVTTTL 电平转换中常用的电路结构<sup>[5]</sup>，在性能上也满足定标器信号高速变换的要求。

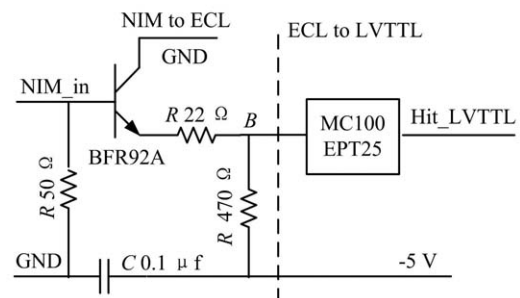


图 3 前端接收信号电平转换电路图

### 2.3 FPGA 逻辑

FPGA 作为定标器的核心部件，主要包括输入信号的同步、计数器、数据打包处理、数据缓存以及 FPGA

和 CPLD 之间的地址译码等模块。数据缓存模块包括 FPGA 内部 FIFO 和外部存储器芯片 SDRAM 的控制逻辑。如图 4 所示。

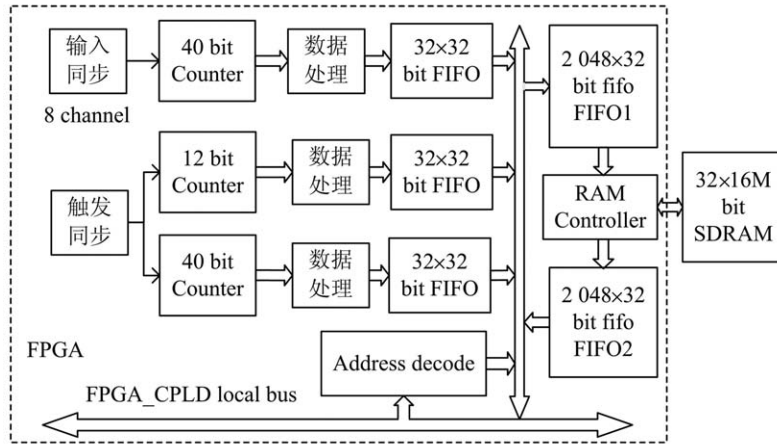


图 4 FPGA 内部逻辑图

8 个通道的计数信号经过时钟为 110 MHz 的同步电路，同步后的计数信号作为 40 bit 同步计数器的 Enable 信号。触发信号经过同步后，作为 12 bit 的同步计数器的 Enable 信号，对触发信号进行计数。同时，触发信号也控制 40 bit 的同步计数器实现定时功能。在触发信号控制下，将计数数据、定时数据和触发数据分别写入数据处理模块，按照规定的数据格式添加数据标志位后分别输出给深度为 32 的 FIFO。按照规定的数据包格式，将所有的数据顺序写入 FIFO1 中。FIFO1, SDRAM 和 FIFO2 组成数据缓存器。译码模块对 CPLD 给出的地址信号进行译码，对 FPGA 中寄存器进行读写操作。

#### 2.3.1 输入信号同步

定标器的计数信号和触发信号在时间上都是随机

的，而设计上要求在触发信号到来时将计数值保存下来，同时开始下一次计数。若不经时钟同步处理，在时序上难以满足要求，所记录的计数值也难以保证其准确性。

对于最高达到 100 MHz 的信号进行同步处理，若只使用一条流水线处理，则同步时钟频率最小需要 200 MHz。但所使用的计数器时钟无法达到 200 MHz 的速度，所以设计中采用 2 条流水线交替工作，同步时钟频率为 110 MHz，这相当于使用 220 MHz 的时钟对输入信号进行同步处理，在理论上是可以达到要求的。同步电路原理图如图 5 所示。

输入信号同时输入上下 2 条同步处理流水线。DFF1 将输入信号 2 分频，DFF2 对 2 分频信号同步处理，DFF3 配合与门对信号进行单时钟脉宽处理，DFF4

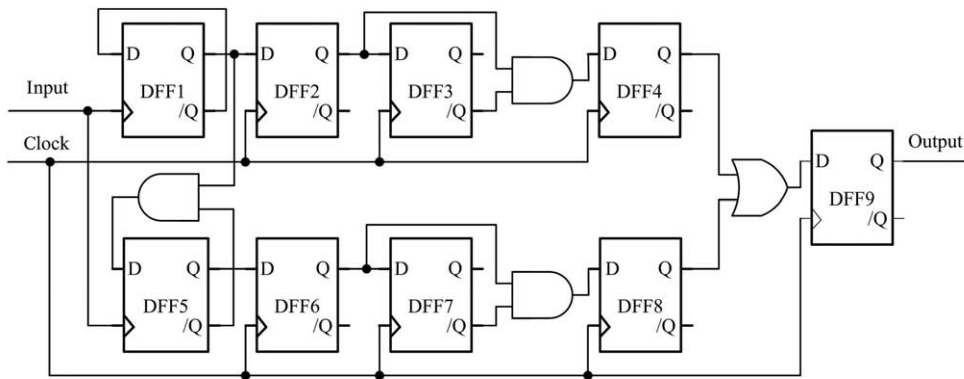


图 5 输入信号同步电路图

对信号进行同步处理。DFF1 输出信号 Q 作为另一条流水线的门控信号。当 DFF1 接收到输入信号脉冲时，通过 2 输入与门开启 DFF5。下一个脉冲到来时，DFF5 输出高电平信号给 DFF6，同时通过与门关闭 DFF5。然后通过 DFF6、DFF7、与门和 DFF8 进行同步和单时钟脉宽处理。上下两条流水线分别对奇数序号和偶数序号的脉冲进行同步和单时钟脉宽处理，然后通过 2 输入或门，即可得到全序列脉冲的同步信号。经过逻辑仿真实验，验证了此同步电路可行。

### 2.3.2 计数器和定时器逻辑

计数器是对输入信号的个数进行累加，而定时器则是测量两个时间点之间的时间。在电子学上定时器也是通过计数器来实现的。在恒定的时钟下，通过记录时间段内的时钟周期数，可以计算出时间。

要测量一段时间内信号的个数，启停计数是最基本工作原理。计数开始时，启动计数器，计数停止时关闭计数器，同时读出计数器的值，最后清零计数器，并准备下一次计数。在单次测量时，可以采用这种计数模式。如果需要连续不断的测量，一旦计数率较高，清零引起的死时间将导致计数丢失。

还可以采用循环计数模式。计数器开始工作后，一直保持工作状态而不停止。在测量的起始时刻和结束时刻分别读取计数器的计数，这两个计数值之差就是需要测量的信号的计数。这种模式下，因为计数器没有复位清零，所以不会引入死时间，对于高计数率和死时间要求较高的系统比较适用。

依据设计要求，定标器的计数量程为  $10^{10}$ ，则计数器的位宽至少 34 bit。定时量程要求为 20 h，计时精度为  $1 \mu\text{s}$ ，所以定时计数器的时钟频率最低为 1 MHz，计数长度为  $7.2 \times 10^{10}$ ，计数器的位宽至少为 37 bit。为了设计方便，都采用 40 bit 的计数器。

如图 6 所示，计数器和定时器逻辑结构相同。计数器的 Enable 端连接同步之后的计数信号。定时计数器的 Enable 端连接重复频率为 1 MHz 信号，此信号有效电平宽度等于 1 个 110 MHz 时钟信号的周期长度。计数器、寄存器 1 和寄存器 2 的时钟端口接 110 MHz 时钟，寄存器 3 时钟端口接 40 MHz 时钟。WriteEn 信号由 Trigger 信号在 110 MHz 时钟下同步和延时产生，作为寄存器 1 和寄存器 2 的 Enable 控制信号。在此信号的控制下，将计数器的值写入寄存器 1，同时将寄存器 1 的值写入寄存器 2 中。而寄存器 1 和寄存器 2 的值则通过减法器，计算出两个值的差值，即为触发间计数。ReadEn 信号由 Trigger 信号经过 40 MHz 时钟同步和延时产生，作为寄存器 3 的 Enable 控制信号，将减法器

的结果存储在寄存器 3 中。

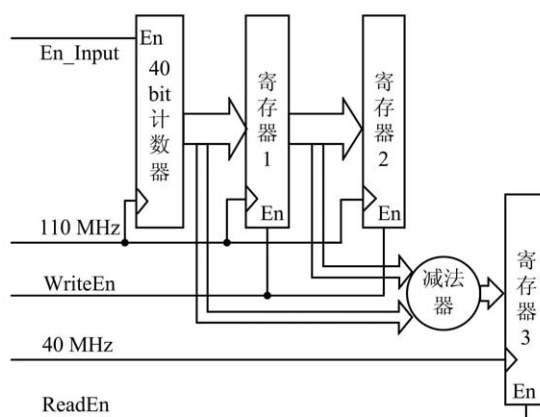


图 6 循环计数器原理图

对于 40 bit 位宽的计数器，异步计数器的工作时钟难以提高。因此必须使用同步计数器。同步计数器中，采用格雷码<sup>[6]</sup>的编码方式，可以较好地减小毛刺<sup>[7]</sup>，保证计数结果的准确读出。这也是实际设计中常见的处理方式。但是通过仿真，40 bit 格雷码计数器在本设计中使用的 FPGA 芯片上的工作频率无法达到 110 MHz，也就是在最高计数的工作条件下是无法正常工作的。

通过对 40 bit 的普通二进制编码的同步计数器进行时序仿真，最高计数时钟可以达到 170 MHz，大于输入信号的最高频率，可以满足要求。因此只能使用这种 40 bit 的二进制编码的同步计数器。

## 2.4 接口电路

定标器与上位机之间通过 PCI 协议通讯。要实现一个 PCI (或 PXI、CPCI) 设备的接口，最主要的办法有 2 种：使用专用的接口芯片和采用 FPGA/CPLD 等可编程数字逻辑接口<sup>[8]</sup>。考虑到设计的灵活性和集成度，PCI 接口使用 CPLD 来实现。PCI 接口的逻辑设计采用 Altera 提供的 PCI IP core 来完成，降低了 PCI 接口逻辑设计的复杂程度，同时成熟的接口逻辑也为定标器其他模块的调试提供方便，大大加快了设计的进度。PCI core 配合从设备控制模块，可以实现 32 bit 数据的单次读写。同时还可以配合主设备控制模块，将定标器作为数据传输中的主设备，实现“中断+DMA”的 Burst 数据传输方式，实现数据的高速读取。

## 2.5 读出软件

定标器的数据获取采用 2 种方式。在精确触发测量模式下，数据量最高可以达到 8 MByte/s，因此采用 Master Burst Write 的方式将数据写入上位机内存中，将定标器作为 Master 使用。而定时计数模式下，

数据则是由上位机数据获取软件通过单次数据读写的方式来获取数据, 并且实时显示在软件用户界面上。用户软件基于 MFC 编写, 软件图形界面如下图 7 所示。



图 7 (在线彩图) 采集软件用户图形界面

### 3 电子学测试

在完成定标器硬件及其数据获取软件设计之后, 对定标器进行了各种测试。测试平台搭建如图 8 所示, 包括 NI 公司的 PXI-1033 机箱及 PC 机一台。通过 Tektronix AFG3252 信号源输出 2 路 NIM 信号, 分别作为 Hit 和 Trigger 信号, 连接到定标器模块的 Hit 和 Trigger 端口, 测试定标器的功能和性能。

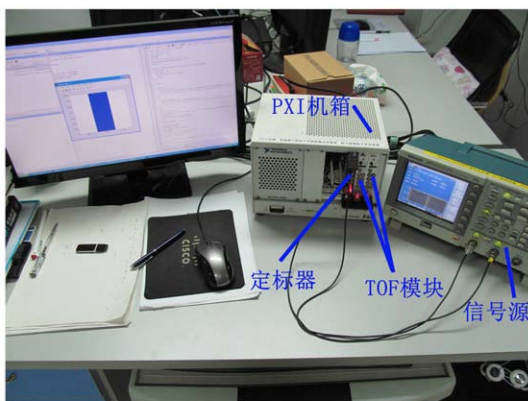


图 8 (在线彩图) 定标器测试平台

定标器有 2 种工作模式, 均需要使用计数器和定时器。而前文中介绍了定时器逻辑的核心是计数器, 所以计数器逻辑就是此定标器的核心逻辑。故我们先对设计中核心计数器逻辑进行功能测试, 然后分别对 2 种工作模式下的定标器性能进行测试。

### 3.1 计数器测试

在精确触发测量模式下, 修改 FPGA 中逻辑, 在每次触发信号到来时, 读取当前计数值, 如图 6 所示寄存器 1 的值。当计数器满量程后, 计数又从零开始重新开始累加。

在 100 MHz 输入信号和 10 Hz 的触发信号下, 连续采集数据 4 h, 计数器测试结果如图 9 和图 10 所示。

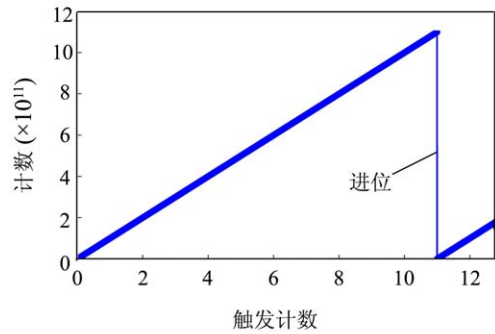


图 9 (在线彩图) 计数器计数测试图

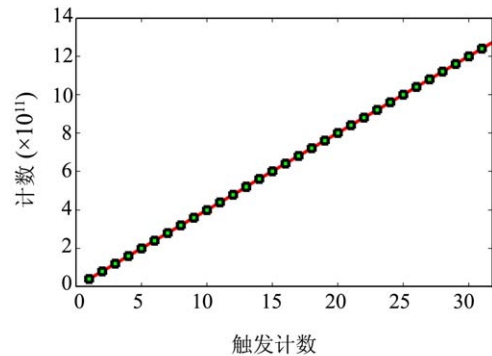


图 10 (在线彩图) 计数器计数值进位修正图

图 9 中, 纵坐标表示计数器的计数值, 横坐标表示触发信号计数值。即每次触发对应 1 个计数器计数。图 10 中, 在计数器发生进位之后, 将计数器的计数值进行修正, 并每 4000 个点抽取 1 个计数点作图。从测试结果可以看出, 在整个计数量程之内, 计数器均能正常工作在最高计数率条件下。计数器在计数过程中没有出现错误。这表明计数器可以正常工作在高计数率和长时间的工作条件下。

### 3.2 定时计数模式测试

由数据获取软件设置定标器的工作参数, 包括工作时间、数据刷新时间和数据存储频率。设置定标器工作时间为 2 min, 数据存储时间间隔为 2 s, 分别在输入信号频率为 1 和 10 MHz 的条件下进行测试。经过统计处理, 相关结果如图 11 和图 12 所示。

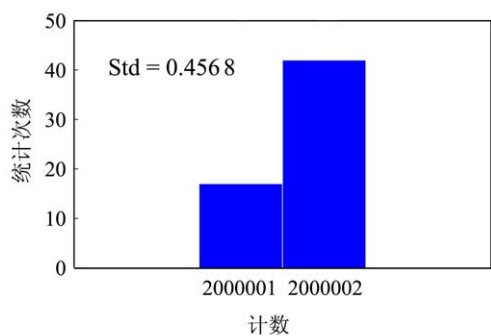


图 11 (在线彩图) 1 MHz 计数图

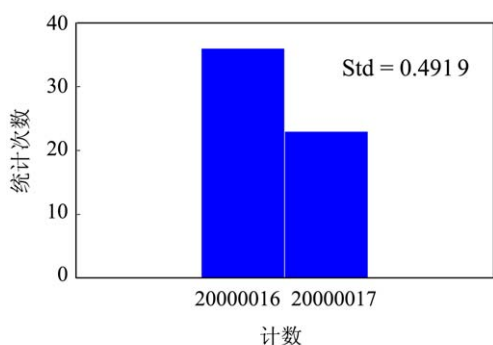


图 12 (在线彩图) 10 MHz 计数

当输入信号频率为 1 MHz 时, 计数的标准差为 0.46。当输入信号频率为 10 MHz 时, 计数的标准差为 0.5。

### 3.3 精确触发测量模式测试

此模式作为定标器的主要工作模式, 与 TOF 测量系统联合使用。定标器记录相邻两次触发信号之间 Hit 信号的个数和相邻触发信号之间的时间间隔, 由获取软件读取数据保存在数据文件中, 再进行离线分析。

定标器在这种模式下, 最高计数率为 100 MHz。在 100 MHz 的输入信号、10 Hz 触发条件下测量定标器计数和计时的精度, 测试结果如图 13 和图 14 所示。

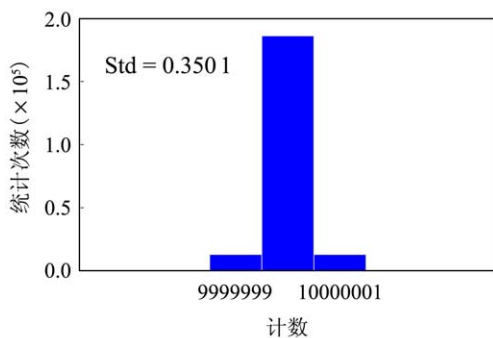


图 13 (在线彩图) 100 MHz 输入 10 Hz 触发计数

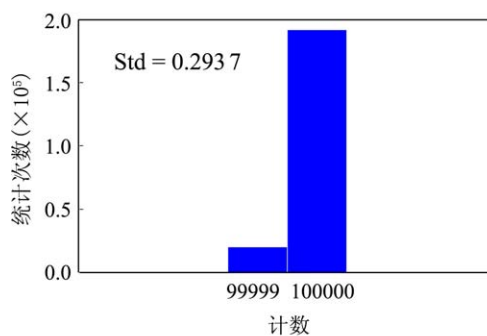


图 14 (在线彩图) 100 MHz 输入 10 Hz 触发计时

计数值为  $10^7$ , 统计得到的标准差为 0.36。计时为  $10^5 \mu s$ , 标准差为  $0.3 \mu s$ 。按照所给的测试条件, 计数的理论值应该为  $10^7$ , 计时的理论值为  $10^5 \mu s$ 。可以看出, 测试结果与理论值相符, 且达到了设计的精度要求。而测试结果中, 出现偏离中心值的计数, 这是由于与触发信号同时到来的 Hit 信号, 有可能被计算在下一个计数中。所以, 出现一次偏小的计数, 必然出现一次偏大的计数, 二者的平均值与中心值相同。

## 4 结论

本文中的定标器针对兰州反应显微成像谱仪 TOF 测量系统需求, 基于可编程器件 FPGA 进行设计。此 PXI 模块中可以实现 8 个计数通道和 1 个定时通道。该定标器既可以工作在定时计数模式下, 也可以实现对两次相邻触发信号之间的输入信号个数进行精确计数。实验室电子学测试表明, 在定时计数模式和精确触发测量模式下, 此定标器定时量程大于 20 h, 定时精度好于  $1 \mu s$ , 计数量程为  $2^{40}$ , 计数精度好于 1 个计数, 满足应用需求。

在具体应用中, 可以根据实际情况, 调整计数器的位宽和定时长度, 满足不同的应用需求, 对定标器进行升级和改造。当相邻触发信号之间的 Hit 信号的计数值并不是很大时, 计数器的高位没有得到充分的利用, 既耗费了 FPGA 资源, 也限制了计数器的最高工作频率, 同时浪费了数据传输带宽。对于这些应用条件的变化, 可以通过修改逻辑设计, 重新配置 FPGA, 即可以实现新的逻辑电路, 从而满足新的需求。

### 参考文献:

- [1] MA Xinwen, ZHU Xiaolong, LIU Huiping *et al.* Sci China Ser G: Phys Mech Astron, 2008, **51**(7): 755.
- [2] ZHOU Jiawen, LIU Shubin, YIN Chunyan, *et al.* Nuclear Science Techniques, 2011, **22**(6): 372.

- [3] PXI Hardware Specification.[EB/OL][2014-02-10]. <http://www.pxisa.org/userfiles/files/Specifications/PXIspec20.pdf>
- [4] Cyclone II Device Handbook.[EB/OL][2014-02-10]. [http://www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/hb/cyc2/cyc2\\_cii5v1.pdf](http://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/cyc2/cyc2_cii5v1.pdf)
- [5] LI Hao, LIU Shubin, AN Qi. Nuclear Electronics and Detection Technology, 2007, **27**(3): 541. (in Chinese)  
(李浩, 刘树彬, 安琪. 核电子学与探测技术, 2007, **27**(3): 541.)
- [6] LI Li. Science Technology and Engineering, 2009, **9**(23): 7158. (in Chinese)  
(李莉. 科学技术与工程, 2009, **9**(23): 7158.)
- [7] SUN Xiaodong. Computer Programming Skills and Maintenance, 2010, (14): 134. (in Chinese).  
(孙晓东. 电脑编程技巧与维护, 2010, (14): 134.)
- [8] HAN Hui, XUE Zhihua, LIU Songqiu, *et al.* Computer Measurement and Control, 2005, **13**(5): 491. (in Chinese)  
(韩慧, 薛志华, 刘松秋, 等. 计算机测量与控制, 2005, **13**(5): 491.)

## A Multi-channel Scaler Designed for the Experiment of the Reaction Microscope at Lanzhou

GAO Xingshun<sup>1, 2</sup>, ZHAO Lei<sup>1,2</sup>, KANG Longfei<sup>1, 2</sup>, LIU Shubin<sup>1, 2</sup>, AN Qi<sup>1, 2</sup>

(1. State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;

2. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

**Abstract:** This article introduces a high resolution and multi-channel scaler based on PXI-3U standard. The maximum repetition frequency of the input signal is 100 MHz, with a counting scale up to  $2^{40}$ . This scaler is able to operate in two working modes: counting within a certain time period or between two adjacent input trigger signals. The first mode is designed for a low counting rate ( $\sim 1$  MHz), while the second mode for a high rate ( $\sim 100$  MHz). Test results indicate that this scaler has a good performance, beyond the application requirement in the experiment of the reaction microscope at Lanzhou (ReMiLa). Besides, with the application of Field Programmable Gate Array (FPGA), this scaler module is flexible and convenient to be upgrade in future.

**Key words:** reaction microscope; TOF; scaler; PXI; FPGA

**Received date:** 24 Mar. 2014; **Revised date:** 13 May 2014

**Foundation item:** Knowledge Innovation Program of Chinese Academy of Sciences (KJ CX2-YW-N27); National Natural Science Foundation of China (11079003)

**Corresponding author:** ZHAO Lei, E-mail: zlei@ustc.edu.cn.

<http://www.npr.ac.cn>