

文章编号: 1007-4627(2014) 03-0374-05

# 162.5 MHz 高频数字低电平控制监控系统设计与实现

张瑞锋, 王贤武, 许哲, 仪孝平

(中国科学院近代物理研究所, 兰州 730000)

**摘要:** 中国科学院近代物理研究所自主研发的 ADS 162.5 MHz 高频低电平控制采用数字化技术实现, 控制环路的参数设置、开闭环操作以及状态监测都通过监控系统实现。该系统基于以太网通讯, 采用轻量化客户端-服务器端的工作方式, 运行在上位机的客户端程序发送指令数据包, 运行在高频数字低电平系统的服务器端响应指令, 完成参数监测与控制。系统首先以 Altera 公司 Stratix III 系列现场可编程门阵列 (FPGA) 开发板为基础, 构建以 Nios II 处理器和三速以太网接口为核心的服务器端硬件系统; 其次基于 Micro C/OS II 实时操作系统和轻量级 TCP/IP 协议栈, 设计服务器端软件系统; 最后利用 MFC 设计运行于上位机的客户端界面程序。经过长时间测试运行, 该监控系统运行稳定可靠, TCP 发送和接收吞吐率达到 11.931 038 Mbps 和 8.117 624 Mbps。

**关键词:** ADS, Nios II; 数字低电平; 以太网通讯; 总监控

**中图分类号:** TL812; TH774      **文献标志码:** A      **DOI:** 10.11804/NuclPhysRev.31.03.374

## 1 引言

为了保证中国裂变核能的可持续发展, 解决反应堆产生的放射性核废料的处理处置问题以及潜在的核燃料短缺问题, 中国科学院启动了加速器驱动次临界系统研究项目(即 China ADS, 简称 C-ADS), 计划在未来 20 多年内分三个阶段建成一台热功率大于 1 000 MW 的 ADS 工业示范装置<sup>[1]</sup>。其中的关键设备之一——15 MW 束流功率的大功率强流质子加速器将由中国科学院高能物理研究所和中国科学院近代物理研究所共同设计建造。中国科学院近代物理研究所承担了 ADS 注入器 II 的研制, 工作频率为 162.5 MHz, 直线超导腔采用半波长谐振腔 (HWR) 形式。ADS 注入器 II 高频系统采用 162.5 MHz 数字低电平系统控制功率源的输出并自动调节高频腔的动态特性, 以建立正确相位与稳定强度的加速电场, 得到高品质束流。162.5 MHz 数字低电平系统采用数字化技术实现, 控制环路的参数设置、开闭环操作以及状态监测都通过监控系统实现。因此需要开发 162.5 MHz 高频低电平控制监控系统, 以实现低电平系统的

上位机监控, 提供人机交互接口。

## 2 系统总体设计

### 2.1 系统总体方案设计

162.5 MHz 数字低电平监控系统以 Altera Stratix III FPGA 开发板为硬件基础设计<sup>[2]</sup>, 如图 1 所示。系统利用 Altera SOPC 技术, 构建以 Nios II 处理器为核心的嵌入式系统, 采用以太网通讯接口与上位机通讯, 同时低电平控制环路作为该嵌入式系统外围模块, 采用环路控制寄存器组接口控制。环路控制寄存

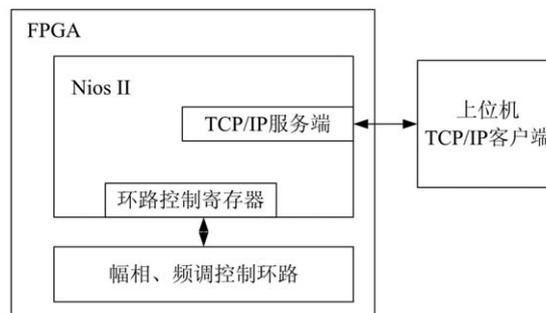


图 1 系统总体架构

收稿日期: 2013-09-22; 修改日期: 2013-10-09

基金项目: 中国科学院战略性先导科技专项资助(XDA03021004)

作者简介: 张瑞锋(1986-), 男, 甘肃天水人, 助理工程师, 硕士, 从事高频低电平控制相关技术;

E-mail: zhangruifeng@impcas.ac.cn

http://www.npr.ac.cn

器组包括一组输出寄存器和一组输入寄存器, 每个输出寄存器对应一个设置参数, 每个输入寄存器对应一个状态参数, 寄存器输入或输出直接和环路相连。系统通过读写寄存器输入或输出数据来改变和监测环路参数。

### 2.2 系统工作方式

系统采用客户端-服务器端的工作方式, 以太网通讯采用 TCP/IP 方式, 运行在上位机的客户端程序发送指令数据包, 运行在高频数字低电平系统的服务器端响应指令, 通讯过程中采用字符串式数据包<sup>[3]</sup>, 具体采用以下方式:

(1) 客户端发送设置指令, 指令数据包格式如下所示:

设置标识符	分隔符	数据内容	分隔符	结束标识符
-------	-----	------	-----	-------

服务器端收到设置指令后, 利用分隔符和结束标志符对指令内容进行分割解析, 首先根据设置标识符选择要设置的输出控制寄存器, 其次将指令包中数据

内容写入输出控制寄存器, 实现环路参数设置; 以幅度设置为 123.45 为例, 设置指令为 “A, 123.45;”, 其中字母 “A” 为设置标识符, 逗号 “,” 为分隔符, 分号 “;” 为结束标识符, “123.45” 为要设置的数据内容, 以字符串表示, 服务端收到该指令后, 调用相应函数进行解码, 取出设置标识符 “A” 和数据内容 “123.45”, 根据设置标识符 “A” 寻址幅度控制寄存器, 并把数据写入该寄存器。

(2) 客户端按一定时间间隔发送查询指令, 指令数据包格式如下所示:

查询标识符	分隔符	结束标识符
-------	-----	-------

以 “S;” 为例, 其中, 字母 “S” 为查询标识符, 逗号 “,” 为分隔符, 分号 “;” 为结束标识符, 服务器端收到查询指令后, 利用分隔符和结束标志符对指令内容进行分割解析, 取出查询标识符 “S”, 首先, 根据查询标识符判断要查询状态参数, 其次并对所有输入寄存器按顺序进行读操作, 最后, 将读回数据按如下所示:

查询响应标识符	分隔符	数据 1	分隔符	...	分隔符	数据 N	结束标识符
---------	-----	------	-----	-----	-----	------	-------

格式添加查询响应标识符和结束标志符打包发送给上位机客户端, 如 “R, 100.1, 15, 20.5, 120, ..., 0.5;”, 实现环路参数监测。

## 3 服务器端硬件系统设计

硬件系统主要包括: Nios II 处理器、

SDRAM 存储器、Flash 存储器、JTAG 接口、片上 RAM/ROM、三速以太网控制器、UART、定时器、PLL 锁相环、DMA 控制器和环路控制寄存器组, 各模块之间采用 Avalon 总线连接, 如图 2 所示。其中, Nios II 处理器、JTAG 接口、UART、定时器、PLL 锁相环、片上 RAM/ROM 和 Avalon 总线为最小

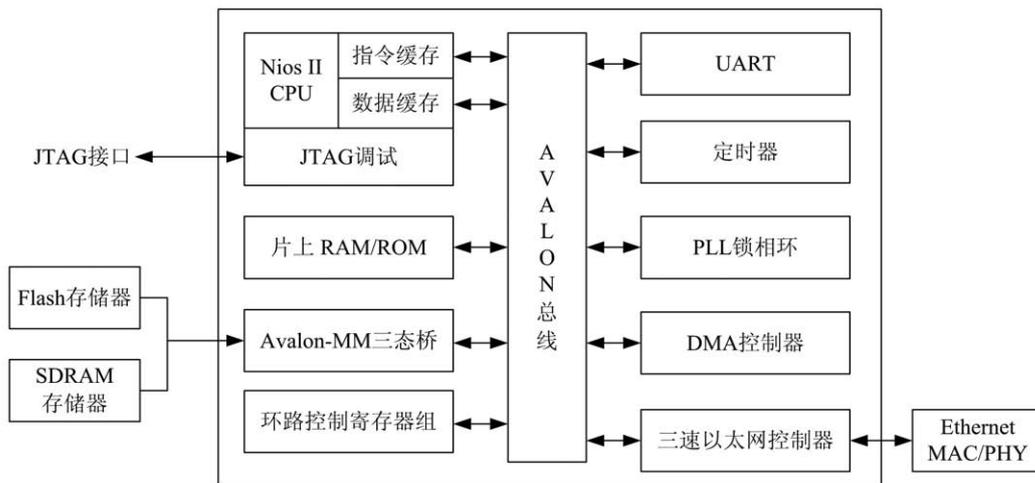


图 2 Nios II 硬件结构

系统所必备的, 162.5 MHz 数字低电平监控系统需要添加环路控制寄存器组作为环路控制接口, 添加 10/100/1 000 Mbps 三速以太网控制器作为通讯接口<sup>[4]</sup>, 此外还需添加 Flash 存储器作为系统掉电存储单元, 添加 DDR2 SDRAM 存储器作为系统内存, 提高系统运行效率。整个系统实现后, 总共占用了 FPGA 25% 的逻辑资源、37% 的内存资源、8% 的 DSP 块资源和 50% 的锁相环资源。本文 FPGA 使用 Altera Stratix III 系列 EP3SL150F1152C2 器件, 稳定环路和 Nios II 系统布局布线完成后资源占用情况具体如表 1 所列。

表 1 FPGA 资源占用情况

项目	总量	使用量	占用率
Combinational ALUTs	113 600	19 377	17%
Memory ALUTs	56 800	464	< 1%
Dedicated logic registers	113 600	15 468	14%
Total pins	744	209	28%
Total block memory bits	5 630 976	2 072 424	37%
DSP block 18-bits elements	384	32	8%
Total PLLs	8	4	50%
Total DLLs	4	1	25%

### 4 服务器端软件系统设计

162.5 MHz 数字低电平监控系统服务器端软件系统, 如图 3 所示, 首先需要移植 Micro C/OS II 实时操作系统和轻量级 NicheStack TCP/IP 协议栈<sup>[5]</sup>, 其次, 设计多任务应用。NicheStack 协议栈接收来自客户端的以太网数据包, 数据包中包含客户端操作指令, NicheStack 协议栈通过 TCP/IP 协议处理接收到的以太网数据包, 通过套接字 API 将数据包交给低电平服务任务 (LLRF Server Task), 该任务解析数据包中的指令, 并根据通讯协议操作相应的环路控制寄存器。程序设计框图如图 4 所示。

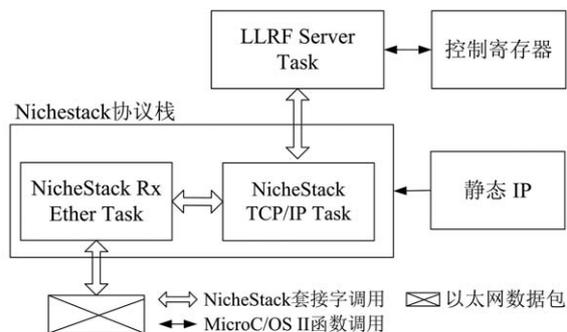


图 3 服务器端软件系统

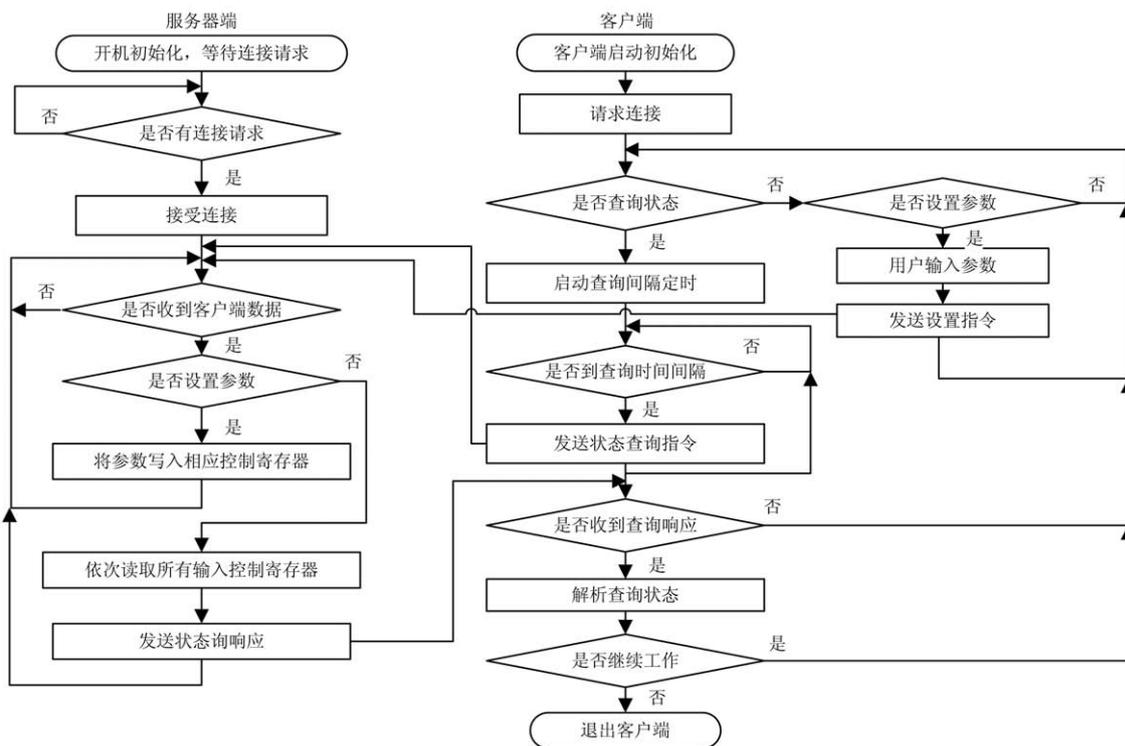


图 4 服务器端和客户端程序设计框图

在只有一台 PC 机与 Nios II 开发板 (stratix III EP3SL150F1152C2N) 连接的封闭网络中, 测试网络带宽为 100 Mbps, 使用 TCP 协议传送 100 000 000 字节数据测试系统的吞吐率 (兆位/秒)。基准程序使用 NicheStack 套接字接口和 Micro C/OS II 实时操作系统。首先配置的是标准型 CPU 核 (Nios II/s), 该核平衡于性能和尺寸, 资源占用和速度适中, Nios II 系统发送和接收吞吐率分别为 3.986 843 Mbps 和 3.793 713 Mbps, 其次升级准型 CPU 核为全功能型 CPU 核 (Nios II/f), 该核性能最好, 速度最快, 同时将该核的指令和数据高速缓存增加到 64 kB 后, 系统吞吐率提升到 11.569 860 Mbps 和 7.777 562 Mbps, 最后, 在此基础上, 提高程序编译优化水平到 level3, 系统的测试结果为 11.931 038 Mbps 和 8.117 624 Mbps。不同配置下的 TCP 吞吐率测试结果如表 2 所列。从测试结果看, Nios II CPU 的性能和高速缓存对速度影响明显。

表 2 TCP 吞吐率测试结果

配置	Nios II 发送 /Mbps	Nios II 接收 /Mbps
Nios II/s	3.986 843	3.793 713
Nios II/f	11.569 860	7.777 562
Nios II/f, 编译优化 level3	11.931 038	8.117 624

本系统在实际工作中仅用于和上位机间的点对点数据传送, 并且数据量小, 速率要求不高, 上位机客

户端要求每秒数据刷新一次, 在系统长期 (72 h) 连续测试中, 不存在丢包现象, 同时, 在客户端提高数据刷新率为 100 ms 一次的情况下, 本系进行了 24 h 连续测试, 没有丢包, 因此, 本系统性能满足使用要求并留有提升余量。

### 5 上位机客户端设计

上位机客户端作为人机交互接口, 用户通过其对低电平系统进行操作和监控。162.5 MHz 数字低电平监控系统采用 MFC 设计上位机客户端程序, 实现以下功能: (1) 环路参数设置功能, 包括: 幅度、相位设置, 相位偏移参数设置, PI 控制其比例、积分系数设置, 频调电机速度设置以及频调死区参数的设置<sup>[6]</sup>。(2) 环路参数以及环路状态读取, 包括参考信号、前向信号、反射信号和取样信号的幅相参数, 以及环路开闭环状态和频调限位状态。(3) 系统控制操作, 包括开闭控制和频调电机的连续、点动运行控制。此外, 根据低电平系统运行经验, 还需添加腔体取样幅度和相位的长时曲线显示功能, 用以监测腔体取样的变化趋势和长期稳定度测试, 另外还需添加操作日志功能, 记录系统的历史操作。客户端程序设计框图如图 4 所示。

162.5 MHz 数字低电平监控系统上位机客户端界面如图 5 所示, 为了便于系统调试, 各重要参数均直观列出, 系统定型后, 该界面还需根据实际使用习惯进行美化和优化。

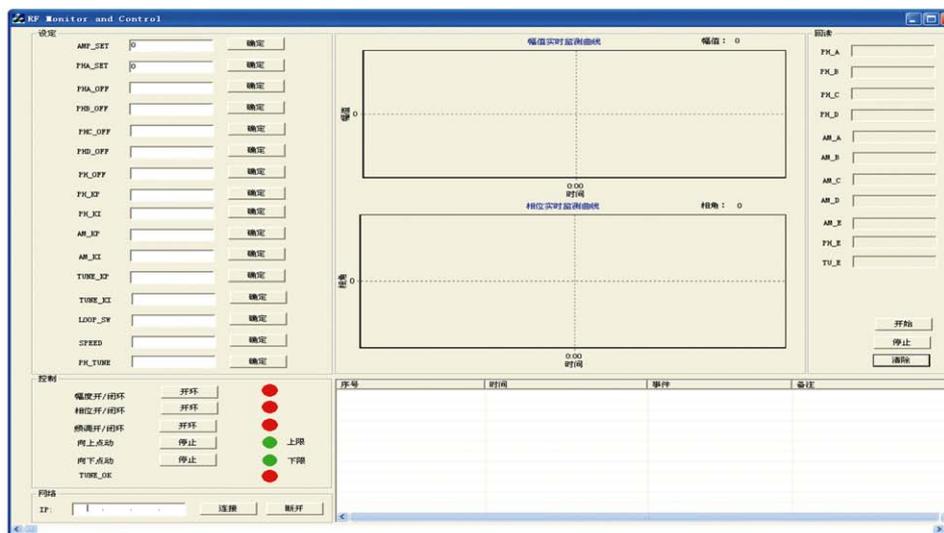


图 5 上位机客户端界面

## 6 结论

162.5 MHz 数字低电平监控系统构建了 NIOS II 嵌入式系统, 以 Micro C/OS II 实时操作系统和轻量级 NicheStack TCP/IP 协议栈为基础, 采用客户端-服务器端通讯方式, 实现了上位机与低电平控制系统间的参数设定及状态监测。通过对系统吞吐率测试和系统优化改进, TCP 发送和接收吞吐率达到 11.931 038 Mbps 和 8.117 624 Mbps。在实际系统联调中, 经过多次长期测试, 该系统运行稳定可靠, 同时, 该系统易于扩展, 能够监控低电平控制系统的内部参数, 对于保障低电平系统的开发调试具有重要意义。下一步需要考虑系统与中控室控制系统之间的数据接口问题。

### 参考文献:

- [1] ZHAN Wenlong, XU Hushan. Bulletin of Chinese Academy of Sciences, 2012(3): 375. (in Chinese)  
(詹文龙, 徐胡珊. 中国科学院院刊, 2012(3): 375.)
- [2] Stratix III 3SL150 Development Board Reference Manual[EB/OL]. [2013-07-22]. [http://www.altera.com.cn/literature/manual/rm\\_stratixiii\\_dev\\_kit\\_host\\_board.pdf](http://www.altera.com.cn/literature/manual/rm_stratixiii_dev_kit_host_board.pdf).
- [3] Simple Socket Server Design Example[EB/OL]. [2013-07-22]. [http://www.altera.com/support/examples/nios2/exm-hello\\_world.htm](http://www.altera.com/support/examples/nios2/exm-hello_world.htm).
- [4] ZHANG He, QIU Feng, WANG Qunyao, *et al.* Nuclear Electronics & Detection Technology, 2011, **31**(6): 606. (in Chinese)  
(张鹤, 邱丰, 王群要, 等. 核电子学与探测技术, 2011, **31**(6): 606)
- [5] LI Lanying. Nios II Embedded Soft-core SOPC Design Principles and Application[M]. Beijing: Beijing University of Aeronautics and Astronautics Press, 2006: 385. (in Chinese)  
(李兰英. Nios II 嵌入式软核 SOPC 设计原理及应用[M]. 北京: 北京航空航天大学出版社, 2006: 385.)
- [6] LIU Weiqing, ZHAO Yubin, YIN Chengke, *et al.* Nuclear Electronics & Detection Technology, 2009, **29**(1): 23. (in Chinese)  
(刘维清, 赵玉彬, 尹成科, 等. 核电子学与探测技术, 2009, **29**(1): 23.)

## 162.5 MHz Digital Low-level Radio Frequency Control Monitoring System Design and Implementation

ZHANG Ruifeng<sup>1)</sup>, WANG Xianwu, XU Zhe, YI Xiaoping

(*Institute of Modern Physics, Chinese Academy of Sciences, Lanzhou 730000, China*)

**Abstract:** 162.5 MHz high-frequency low-level control system self-developed by Institute of Modern Physics for ADS project took digital technology. All parameters' reading & writing, including loop parameter setting, open& close-loop operation, and condition monitoring, were achieved through the monitoring system. The system used lightweight client-server working mode that client running in the PC sent command data, server running on high-frequency digital low level system responded instructions to complete parameter monitoring and control. The system consisted of three parts. Firstly, server hardware system was constructed based on Atera Stratix III family of field-programmable gate array (FPGA) development board. Secondly, the server software system was designed based on Micro C/OS II real-time operating systems and lightweight TCP / IP protocol stack, and finally a client PC program was designed based on MFC. After a long test, it was indicated that the monitoring system works properly and stably. TCP sends and receives throughput reached 11.931 038 Mbps and 8.117 624 Mbps.

**Key words:** ADS; Nios II; digital low level RF control; network communication; monitor

**Received date:** 22 Sep. 2013; **Revised date:** 9 Oct. 2013

**Foundation item:** Strategic Leading Technology Project of Chinese Academy of Sciences(XDA03021004)

1) E-mail: zhangruifeng@impcas.ac.cn.

<http://www.npr.ac.cn>