



## 用于成形寻峰电荷测量电路的全差分运放设计

徐志森 秦家军 赵雷 李嘉铭

### Design of FDOA ASIC for Charge Measurement Circuit in Shaping and Peak Detection Method

XU Zhisen, QIN Jiajun, ZHAO Lei, LI Jiaming

在线阅读 View online: <https://doi.org/10.11804/NuclPhysRev.41.2023001>

#### 引用格式:

徐志森, 秦家军, 赵雷, 李嘉铭. 用于成形寻峰电荷测量电路的全差分运放设计[J]. *原子核物理评论*, 2024, 41(2):693–702. doi: 10.11804/NuclPhysRev.41.2023001

XU Zhisen, QIN Jiajun, ZHAO Lei, LI Jiaming. Design of FDOA ASIC for Charge Measurement Circuit in Shaping and Peak Detection Method[J]. *Nuclear Physics Review*, 2024, 41(2):693–702. doi: 10.11804/NuclPhysRev.41.2023001

---

## 您可能感兴趣的其他文章

### Articles you may be interested in

#### [塑料闪烁体阵列探测器读出ASIC中峰值保持电路的设计](#)

Design of Peak Holding Circuit in Readout ASIC of PSD

原子核物理评论. 2022, 39(4): 484–489 <https://doi.org/10.11804/NuclPhysRev.39.2022010>

#### [基于交流调制技术的弱电流放大器研制](#)

Development of a Weak Current Amplifier Based on AC Modulation Technology

原子核物理评论. 2021, 38(1): 61–65 <https://doi.org/10.11804/NuclPhysRev.38.2020049>

#### [用于像素探测器的高事例率高精度TDC ASIC原型电路的设计与仿真](#)

Design and Simulation of High Event Rate and High Precision TDC ASIC Prototype for Pixel Detector

原子核物理评论. 2022, 39(2): 206–214 <https://doi.org/10.11804/NuclPhysRev.39.2021027>

#### [用于重离子加速器束流位置测量的JFET低噪声高阻宽带前置放大器](#)

A JFET Low Noise and High Impedance Wideband Preamplifier for Beam Position Measurement of Heavy Ion Accelerator

原子核物理评论. 2023, 40(3): 426–432 <https://doi.org/10.11804/NuclPhysRev.40.2022073>

#### [基于SCA ASIC的高精度时间测量原型电子学设计](#)

Design of High Precision Time Measurement Prototype Electronics Based on SCA ASICs

原子核物理评论. 2022, 39(4): 476–483 <https://doi.org/10.11804/NuclPhysRev.39.2022014>

#### [LHAASO WCDA前端芯片批量测试系统的设计](#)

Design of Front-end Chip Batch Test System for LHAASO WCDA

原子核物理评论. 2020, 37(2): 191–198 <https://doi.org/10.11804/NuclPhysRev.37.2020024>

文章编号: 1007-4627(2024)02-0693-10

## 用于成形寻峰电荷测量电路的全差分运放设计

徐志森<sup>1,2</sup>, 秦家军<sup>1,3,†</sup>, 赵雷<sup>1,2,3</sup>, 李嘉铭<sup>1,3</sup>

1. 中国科学技术大学核探测与核电子学国家重点实验室, 合肥 230026;
2. 中国科学技术大学微电子学院, 合肥 230026;
3. 中国科学技术大学近代物理系, 合肥 230026)

**摘要:** 放大成形结合数字寻峰的技术路线在粒子物理实验电荷测量中有着广泛的应用。由于高精度模数转换器大多是差分电压输入, 基于提高测量精度、减小共模干扰等因素考虑, 需要将放大成形后的单端信号转换为差分信号。为了满足粒子物理实验读出电子学高精度、低功耗、多通道等需求, 定制化设计了一款全差分运放 (Fully Differential Operational Amplifier, FDOA) ASIC (Application Specific Integrated Circuit, ASIC)。为了在较低的功耗下实现更大的压摆率和带负载能力, 融合电流复用技术和 AB 类推挽放大器结构完成了 FDOA ASIC 的设计。基于 180 nm CMOS 工艺完成了电路的设计、仿真和流片。测试结果表明, 该芯片的单通道功耗约为 28.3 mW, 压摆率约为 745.4 V/ $\mu$ s, 带负载能力约为  $\pm 50$  mA, 噪声约为 173  $\mu$ V, 在 20 MHz、2 V<sub>pp</sub> 的正弦波信号输入下实现了好于 70 dB 的总谐波失真。

**关键词:** 成形寻峰; 全差分运放; ASIC; 电流复用技术; AB 类推挽放大器

**中图分类号:** TN492 **文献标志码:** A **DOI:** 10.11804/NuclPhysRev.41.2023001

### 0 引言

粒子物理实验是研究物质微观结构、基本粒子之间相互作用和运动规律的手段之一。通过测量探测器输出波形的时间和电荷信息, 可以获得入射粒子的能量、类别、时间等信息。其中, 放大成形结合数字寻峰的技术路线是提取微弱信号电荷信息的重要技术手段, 如图 1 所示, 来自探测器的信号首先进入前置放大器进行放大, 然后进入成形电路将信号成形为准高斯脉冲, 接着经过单端转差分的处理再送入模数转换器 (Analog to Digital Converter, ADC) 中进行采样和量化, 有利于提升电荷测量的精度; 最后结合数字寻峰技术, 可以进一步降低功耗, 简化系统的复杂度<sup>[1]</sup>。

实现电荷到电压转换的前置放大器主要包括电压灵敏放大器和电荷灵敏放大器, 前者适用于能量分辨要求较低的系统, 后者适用于能量分辨要求较高的系统。典型的放大成形专用集成电路 (Application Specific Integrated Circuit, ASIC) 主要包括应用于 GEM 探测器的 VFAT3<sup>[2]</sup> 和 GEMROC2<sup>[3]</sup>, 应用于 Micromegas 探测器的 VMM3<sup>[4]</sup>, 应用于 Silicon Strip 探测器的 Beetle<sup>[5]</sup> 等。中国科学技术大学核探测与核电子学国家重点实验室已完成了一款应用于 MTPC 探测器的 ASIC<sup>[6]</sup>, 它们的共同特点是采用 180 nm 或 130 nm CMOS 工艺的制程, 输出的是单端信号, 动态范围约 0~1 V, 成形时间为 25~200 ns, 对应的信号频率在 20 MHz 以内。用作 ADC 驱动器的商用全差分运放 (Fully Differential Operational Amplifier, FDOA) 芯片通常采用 Bipolar/BiCMOS

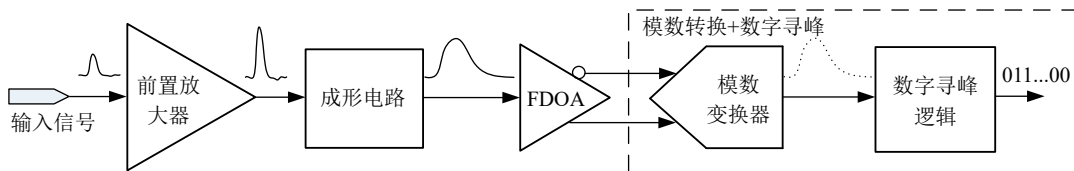


图 1 放大成形结合数字寻峰示意图

收稿日期: 2023-01-09; 修改日期: 2023-02-07

基金项目: 国家自然科学基金资助项目 (11722545); 中国科学院青年创新促进会资助项目

作者简介: 徐志森 (1998-), 男, 河南信阳人, 硕士研究生, 从事模拟电路研究; E-mail: zhisen@mail.ustc.edu.cn

† 通信作者: 秦家军, E-mail: jjqin@ustc.edu.cn

工艺或定制化的工艺，具有更加优异的带负载能力但增加了较大的成本，如 ADA4932、THS4541 等，其允许通过的大信号带宽高达百兆赫兹，但功耗通常在百毫瓦的量级。针对粒子物理实验规模巨大、通道数多的特点，要求读出电子学系统具备较低的功耗、较高的信噪比特性；过高的 FDOA 带宽不仅会带来更大的功耗，还会使无用的信号通过，进而降低系统的信噪比。

因此，为了接收来自典型的放大成形 ASIC 输出的单端信号，输出差分信号并驱动 ADC 正常工作，需要定制化地设计一款 FDOA ASIC。针对前端放大成形 ASIC 输出信号的特点，FDOA ASIC 的输入共模范围设计为 0~1 V，大信号带宽设计为 20 MHz，对应的压摆率至少为 125.6 V/μs，为保证信号的精度，压摆率应设计为理论值的 5 倍以上，为 700 V/μs；噪声应小于 12 bit ADC 的 1 LSB，设计为 300 μV；FDOA ASIC 的总谐波失真应不低于后端 ADC 的总谐波失真，即好于 70 dB。

表 1 中总结了 FDOA ASIC 的设计指标。

表 1 FDOA ASIC 的设计指标

参数名称	设计指标
工艺	180 nm CMOS
开环增益/dB	>80
输入共模范围/V	0~1
大信号带宽/MHz	20
压摆率@10 pF (V/μs)	>700
噪声@0.01 Hz~1 GHz/μV	<300
总谐波失真/dB	>70
共模抑制比/dB	>100
电源抑制比/dB	>80
功耗	<30 mW/ch

## 1 FDOA ASIC 设计

### 1.1 整体结构

FDOA 的一般结构如图 2 所示，主要包括输入级、增益级、驱动级和共模负反馈 (Common Mode Negative Feedback Circuit, CMFB)，三级电路需要复杂的密勒补偿调整频率响应。

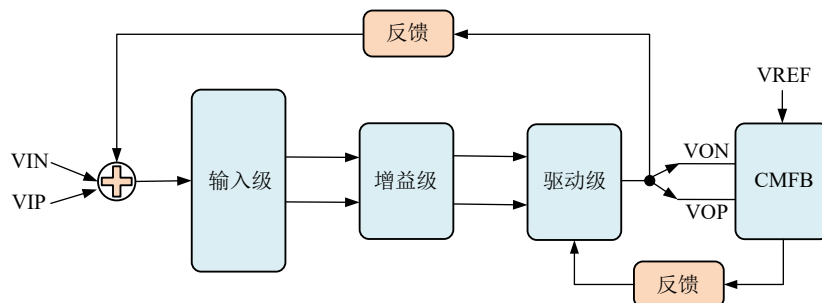


图 2 全差分运放结构框图

为了降低功耗，简化电路结构，在本设计中将输入级和增益级耦合到了一起；由于前端放大成形 ASIC 输出信号具有较大的动态范围，输入级电路需要保证较大的共模输入范围，同时具备中等的增益和较低的噪声。在用作 ADC 驱动器的 FDOA ASIC 的设计中，输出驱动级的设计希望在尽量小的静态功耗下输出更大的电流，实现良好的驱动能力和尽可能小的谐波失真。为了解决差模负反馈无法确定输出共模电压的问题，通常在 FDOA 中添加 CMFB，稳定输出共模电压；CMFB 主要包括共模电平检测电路和反馈电路组成，需要重点关注共模环路稳定性的问题，且要求具有较好的 PVT(Process, Voltage and Temperature) 效应。由于不同工艺角下 MOS 管的阈值电压不同，因此在偏置电路的设计中，通过二极管接法的 MOS 管产生电压后进行偏置。

### 1.2 输入级

目前主流的前端放大成形 ASIC 通常采用的是 180 nm 或 130 nm 的制程，其共模输出电压的范围通常在 0~1 V。为了获得较大的共模输入范围和中等的增益，采用了折叠式共源共栅结构，代价是功耗略有增加；基于提高测量精度、减小共模干扰等因素考虑，输入级电路采用了差分输入，相较于单端输入，差分输入的优势在于具有更好的抗共模干扰能力，共模抑制比高。考虑较低的共模输入范围，即  $V_{IN,CM} < 1 V$ ，输入级采用 PMOS 差分对，具有较低的闪烁噪声，同时消除了体效应带来的影响。整体结构如图 3(a) 所示。

传统折叠式共源共栅结构的压摆率 (SR) 与运放的偏置电流 ( $I_b$ ) 成正比，即  $SR = I_b / C_L$  ( $C_L$  为输出端负载)，电流利用效率有限。为了在同等功耗下，进一步提升电路的压摆率，增加电路的驱动能力，本设计中输入级采用了电流复用技术<sup>[7-8]</sup>，如图 3(b) 所示，输入对管 M1、M2 拆分成四个尺寸一样的管子 (M1a、M1b 和 M2a、M2b)，折叠点处的电流源 M5、M6 拆分成电流镜的形式 (M5a、M5b 和 M6a、M6b)；为了保证使电流镜的复制更加准确，同时减小运放输出共模点的偏差，

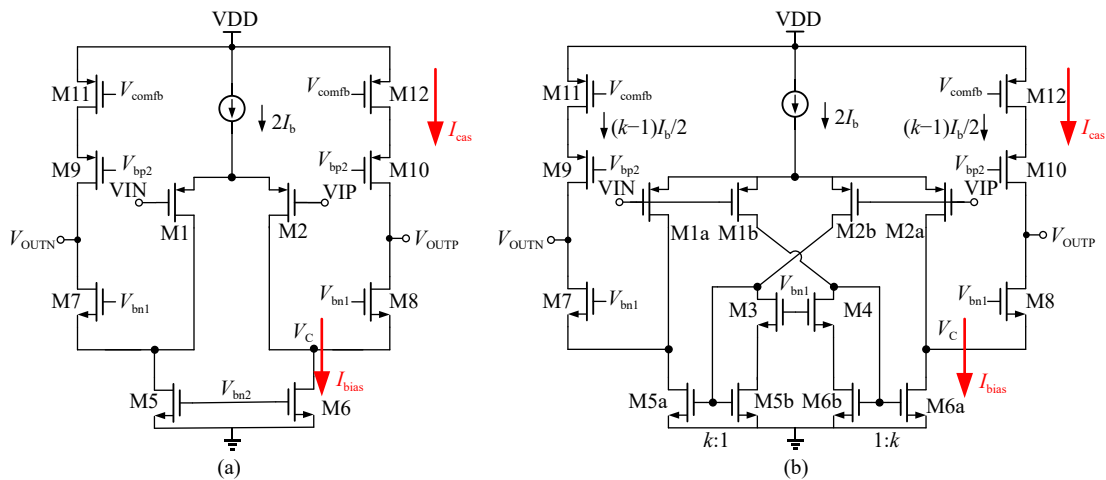


图 3 输入级电路原理示意图

(a) 传统折叠式共源共栅结构；(b) 电流复用折叠式共源共栅结构。

增加了 M3、M4 管以使两组电流镜的漏级电压近似相等，M3、M4 管与 M7、M8 的尺寸相近。为了使折叠式共源共栅支路上的电流保持不变，电流镜的尺寸比例  $k$  通常取 3。

当 VIP 电压上升，M2a 和 M2b 关断，同时 M5a 和 M5b 关断；流经 M1a 和 M7 的电流会流进 M5a 的漏级，使 M5a 漏级电位升高，将 M1a 和 M7 推向截止区；此时尾电流源的电流全部流向 M1b，M1b 支路的电流经过电流镜 (M6a, M6b) 的 3 倍镜像对负载电容进行充放电，此时  $V_{OUTP}$  端的压摆率为  $SR^+ = 5I_b/C_L$ ， $V_{OUTN}$  端的压摆率为  $SR^+ = I_b/C_L$ ； $V_{OUTP}$  和  $V_{OUTN}$  充放电的不平衡被迅速转换为共模误差，并通过 CMFB 电路进行调整，最终得到  $V_{OUTP}$  和  $V_{OUTN}$  相近的压摆率为  $SR = 3I_b/C_L$ 。电流复用技术的优势在于，相较于传统折叠式共源共栅结构，将摆率提升了 3 倍。当然，由于寄生电容的存在及 M1a 和 M5a 的不完全关断，所以达不到理想的 3 倍。该电路的代价是在 M5a、M5b 和 M6a、M6b 引入了镜像极点，降低了相位裕度。

图 3 所示的两种输入级电路具有相似的噪声性能，本设计应用于 20 MHz 以内的宽带系统，主要关注的是热噪声，单位带宽的等效输入噪声为

$$\overline{V_n^2} = 8kT \left( \frac{2}{3g_{m1}} + \frac{2g_{m5}}{g_{m1}^2} + \frac{2g_{m11}}{3g_{m1}^2} \right), \quad (1)$$

其中： $k$  为玻尔兹曼常数； $T$  为绝对温度； $g_{m1}$ 、 $g_{m5}$ 、 $g_{m11}$  分别为 M1、M5、M11 的跨导。可以看到，小的噪声需要大的输入跨导，两个电流源同样贡献了较大的噪声，需要减小它们的跨导。

输入差分对是主要的非线性来源，将输入对管偏置在亚阈值区有利于改善电路的非线性，并且可以得到较

高的跨导 [9]，但弱反型区的速度比较慢，使得电路工作频率不可能很高。因此，为了保证电路的非线性，同时具有较宽的工作频率，在本设计中将输入对管的过驱动电压设置在 150 mV 左右；为避免在大信号转换时较低的源漏电压引入的非线性，将输入对管的源漏电压设置在 900 mV 左右。

### 1.3 驱动级

在用作 ADC 驱动器的 FDOA ASIC 的设计中，输出驱动级的设计希望在尽量小的静态功耗下输出更大的电流，实现良好的驱动能力和尽可能小的谐波失真。针对运算放大器工作模式的不同，将输出驱动级分为 A 类、B 类和 AB 类，划分的方式主要依据失真程度和电流效率。为了综合 A 类和 B 类运放的特点，AB 类运放在驱动级的设计中得到了广泛的应用。

实现 AB 类输出的结构，需要实现大信号电平移位，小信号交流短路的功能。一种实现 AB 类输出的结构如图 4(a) 所示，称为跨导线性环 (Trans-linear Loop) [10]。M16、M19、M21、M22 和 M14、M20、M23、M24 分别构成了两个线性回路，决定了输出级的静态电流。为了减小跨导线性环结构引起的噪声和失调，在放大器第一级的输出端插入了跨导线性环 [11]，关键电路结构如图 5 所示。通过合理的调节  $V_{O1}$  和  $V_{O2}$  的差使输出级偏置在 AB 类，同时保证  $V_{O1}$  和  $V_{O2}$  的差值恒定，也就是等价于小信号增益为 0。图 4(b) 是对它的小信号分析，当  $V_{O1}$  上升时，M20 管的  $V_{gs20}$  (M20 管的栅源电压) 降低，流经 M20 管的电流降低：

$$\Delta I = g_{m20} \times \Delta V_{O1}, \quad (2)$$

其中： $\Delta I$  为流经 M20 管电流的变化值； $g_{m20}$  为 M20 管的跨导； $\Delta V_{O1}$  为  $V_{O1}$  点电压的变化值。

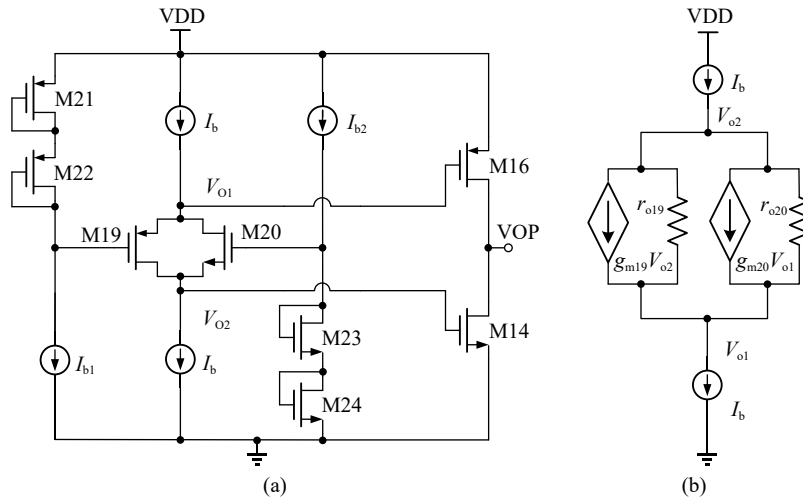


图 4 驱动级电路原理示意图  
(a) 跨导线性环结构; (b) 小信号分析。

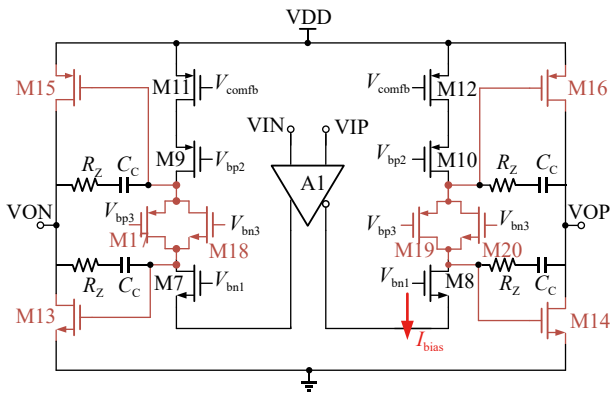


图 5 两级全差分运放电路原理示意图

在  $I_b$  不变的情况下，此时流经 M19 管的电流增加  $\Delta I$ ，M19 管的源端电压  $V_{O2}$  上升：

$$\Delta V_{O2} = \frac{g_{m20} \times \Delta V_{O1}}{g_{m19}}, \quad (3)$$

其中： $g_{m19}$  为 M19 管的跨导； $\Delta V_{O2}$  为  $V_{O2}$  点电压的变化值。因此，在设计中若保证  $g_{m19} = g_{m20}$ ，则  $V_{O2} - V_{O1}$  保持恒定，也就是等价于交流短路。

在大信号转换时，输出级最大的推挽电流可以表示为

$$I_{pull} = (W/L)_{14} \times \left( 2 \sqrt{\frac{I_{dsp23}}{(W/L)_{23}}} - (W/L)_{16} \times \left( 2 \sqrt{\frac{I_{dsp22}}{(W/L)_{22}}} - \sqrt{\frac{I_{bias}}{(W/L)_{19}}} \right)^2 \right), \quad (4)$$

$$I_{push} = (W/L)_{16} \times \left( 2 \sqrt{\frac{I_{dsp22}}{(W/L)_{22}}} - (W/L)_{14} \times \left( 2 \sqrt{\frac{I_{dsp23}}{(W/L)_{23}}} - \sqrt{\frac{I_{bias}}{(W/L)_{20}}} \right)^2 \right), \quad (5)$$

其中： $W$  和  $L$  分别是晶体管的宽度和长度； $I_{dsp}$  为晶体管的电流； $I_{bias}$  为折叠式共源共栅支路的电流。由式 (4)~(5) 可以看出，跨导线性环的效率也是有限的，摆率的提升会受到电流的限制。为了在同等功耗下进一步提升输出级的最大推挽电流，本设计中采用电流复用技术，结合跨导线性环结构，提高电流利用的效率，进一步提升输出级的推挽电流，增大电路的带负载能力。

首先在较小的功耗水平下分别对如图 2 所示的两种输入级电路结构进行了整体电路的前仿真，如图 6 给出

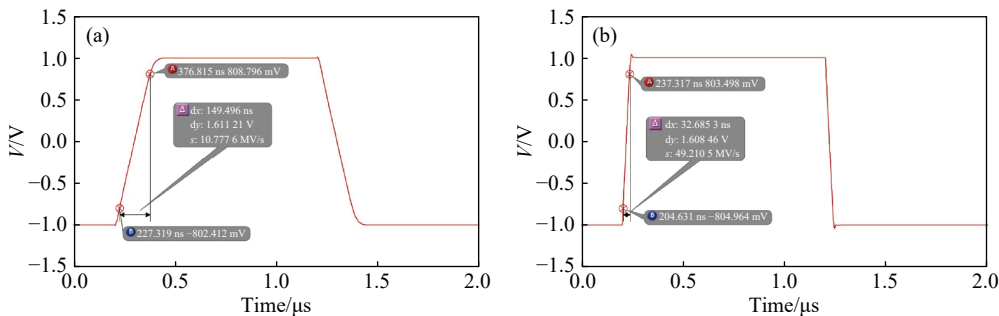


图 6 压摆率性能仿真对比图

(a) 传统折叠式共源共栅输入级; (b) 电流复用折叠式共源共栅输入级。

了约 1.2 mW 功耗下的压摆率性能，图 6(a) 为传统的折叠式共源共栅输入级，压摆率为 10.7 V/μs；图 6(b) 为采用了电流复用技术的折叠式共源共栅输入级，压摆率为 49.2 V/μs，关键指标总结如表 2 所列。从图 6 中可以看见，在相似的功耗下，摆率提升了约 5 倍左右。代价是降低了相位裕度，从图 6(b) 中也可以看见阶跃响应中存在过冲现象。

表 2 两种输入级电路结构的仿真指标总结

参数名称	仿真指标	
	电路(a)	电路(b)
工艺	180 nm CMOS	180 nm CMOS
电源电压/V	+1.8	+1.8
静态电流/mA	0.68	0.64
压摆率/(V/μs)	10.7	50.3
相位裕度/(°)	68	61

### 1.4 补偿电路

常见的电路补偿方式为密勒补偿，如图 7(a) 所示，它通过引起主、次极点分裂，增大带宽和电路稳定性，此时输出极点为

$$W_{out} = \frac{g_{m14}g_{m16}}{C_L(g_{m14} + g_{m16})}, \quad (6)$$

其中： $g_{m14}$ 、 $g_{m16}$  分别为 M14 管和 M16 管的跨导； $C_L$  为负载电容。

但此种补偿方式会引入右半平面的零点，通过选取合适的调零电阻  $R_z$  可以将零点移到左半平面，消除第二极点，但调零电阻在实际制作过程中实现困难；高频时，电源上的噪声通过 M16 栅漏之间的低阻抗通路耦合到输出端，造成电源抑制比降低。

如图 7(b) 所示，cascode 补偿<sup>[12]</sup> 的意义在于将次级点推向了更加远离原点的位置，增大了小信号带宽，同时消除了高频下的前馈通路，提升了电源抑制比的性能，此时输出极点为

$$W_{out} = \frac{g_{m14}g_{m16}}{C_L(g_{m14} + g_{m16})} \times \frac{2C_C}{C_{gs16} + C_{gs14}}, \quad (7)$$

其中： $C_{gs14}$ 、 $C_{gs16}$  分别为 M14 管和 M16 管的栅源电压； $C_C$  为负载电容。但此种补偿方式将原来的次极点变成了一对共轭复极点，这会导致增益裕度的下降，即使有足够的相位裕度，瞬态响应也会有过冲产生<sup>[13]</sup>。

在确定芯片的核心电路后，本文对普通密勒补偿和 cascode 补偿分别进行了研究和仿真。需要指出，该部分的仿真在最终版的芯片上完成的。其中，普通密勒补偿的带宽功耗比为 7.5 MHz/mW，而 cascode 补偿的带宽功耗比为 18.2 MHz/mW；cascode 补偿比普通密勒补偿的电源抑制比提升了约 3 dB。

### 1.5 CMFB

本文选择了电阻结合误差放大器的形式实现共模负反馈，如图 8 所示。使用两个电阻即可得到输出共模电平，这个方法的缺点在于此电阻将作为输出负载直接加在运放的输出端，因此，为了不影响运放的开环增益，此电阻阻值一般较大，本设计中电阻取值为 10 kΩ，占用较大的面积，但是该方法精确简单。误差放大器采用的是两级放大器来实现，第一级放大器为 M25、M26 作为输入管，通过 M27 和 M28 组成的电流镜对第一级的输出进行偏置，第二级和差分回路是一样的。 $V_{REF}$  为外部提供参考输出共模电压，设计为 1 V， $V_{comfb}$  是共模环路反馈到主运放中的控制电压，这里连接到 M11、M12 栅极。

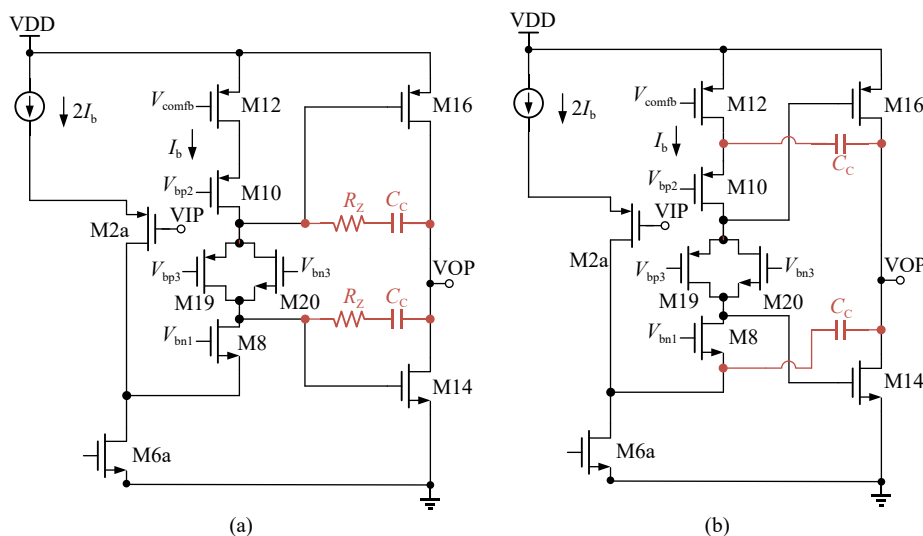


图 7 补偿电路原理示意图

(a) 普通密勒补偿；(b) cascode 密勒补偿。

CMFB 的回路同样需要关注带宽和稳定性的问题。为确保设计的合理性，首先对共模负反馈回路进行了增益和相位裕度的仿真，如图 9(a)所示，增益约 80 dB，相位裕度约 68°；如图 9(b)所示，共模回路的-3 dB 小信号带宽约 160 MHz；其次，对共模输出电压进行了

1 000 次蒙特卡罗仿真，包含工艺角和失配这两种随机变化，如图 9(c)所示，仿真结果表明均能输出 1 V 左右的共模电压；最后，不同工艺角下共模输入范围的仿真结果如图 9(d)所示，仿真结果表明，在 0~1 V 内均能稳定工作。

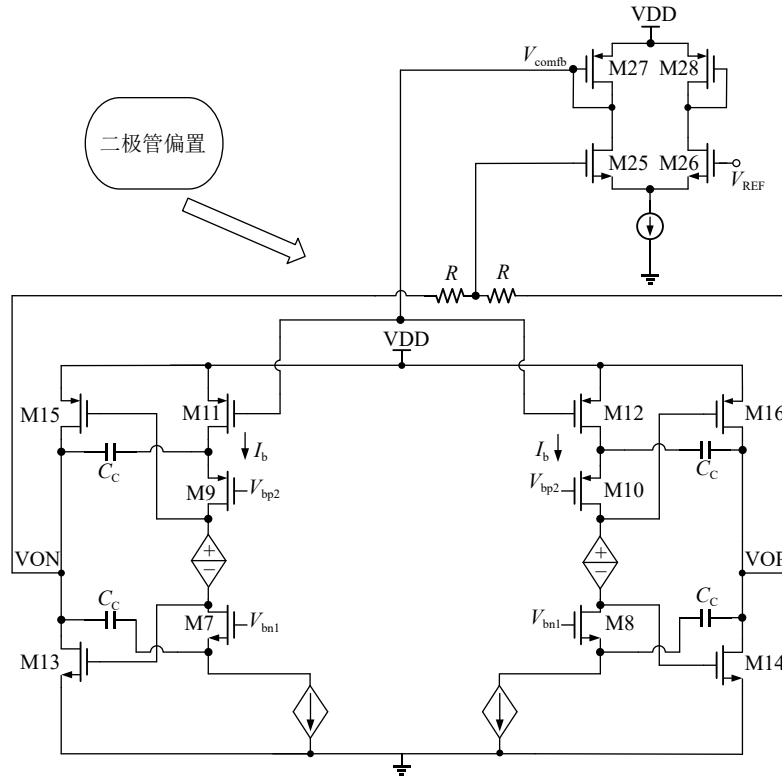


图 8 CMFB 电路原理示意图

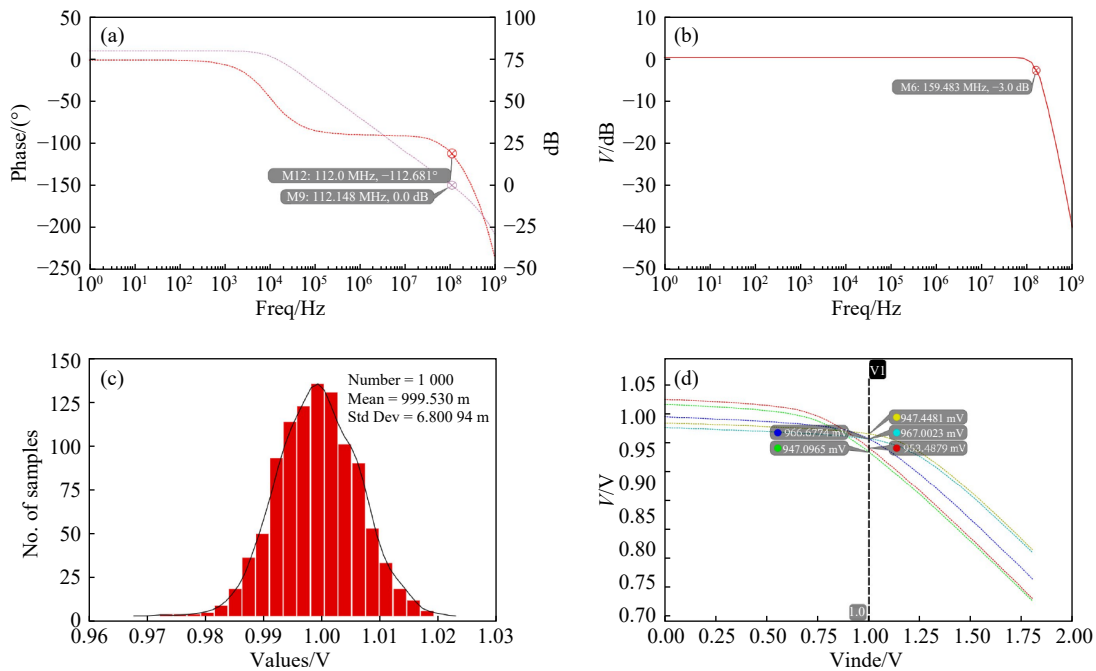


图 9 CMFB 回路关键性能仿真图(在线彩图)

(a) 增益及相位裕度仿真；(b) -3 dB 小信号带宽仿真；(c) 输出共模电压的蒙特卡罗仿真；(d) 输入共模范围仿真。

## 2 版图设计与后仿真

本设计基于 180 nm CMOS 工艺设计了 FDOA ASIC 的版图，如图 10 所示。尺寸为  $1\,110\ \mu\text{m} \times 1\,838\ \mu\text{m}$ ，包含四个通道，采用 Bandgap 进行内部偏置。对 FDOA ASIC 单通道的版图提取 RC 寄生参数，进行 PVT 仿真，详细的指标总结如表 3 所列。在用作 ADC 驱动器的 FDOA ASIC 的设计中，关注的主要指标性能为压摆率、电路稳定性、噪声和带负载能力，依次给出详细的仿真结果。

图 11(a) 给出了 ss corner 下的瞬态仿真，其中压摆率大于  $800\ \text{V}/\mu\text{s}$ ，后仿真结果显示未达到电流复用技术中理想情况下的五倍，这是由于随着管子尺寸的增大，寄生电容产生了较大的影响。同时可以看到 ss corner 下瞬态响应有明显的过冲现象，这是由于电路采用的 cascode 补偿方式将原来的次极点变成了一对共轭复极点，这会导致增益裕度的下降，即使有足够的相位裕度，瞬态响应也会有过冲产生，这在 ss corner 下表现得更为明显。图 11(b) 给出了 ss corner 下的幅频和相频特性曲线，其中开环增益大于  $80\ \text{dB}$ ，相位裕度大于  $58^\circ$ 。图 11(c) 给出了 ss corner 下的等效输入噪声曲线，本设计应用于  $20\ \text{MHz}$  以内的宽带系统，主要关注的是热噪声，为  $8.3\ \text{nV}/\sqrt{\text{Hz}} @1\ \text{MHz}$ 。图 11(d) 给出了 ss corner 下的带负载能力，当输出共模电压变化  $10\%$  时，对应的电流值即运放的带负载能力。后仿真结果显示输出驱动能力达  $\pm 50\ \text{mA}$ ，实现了约  $1:16$  的动静态电流比。

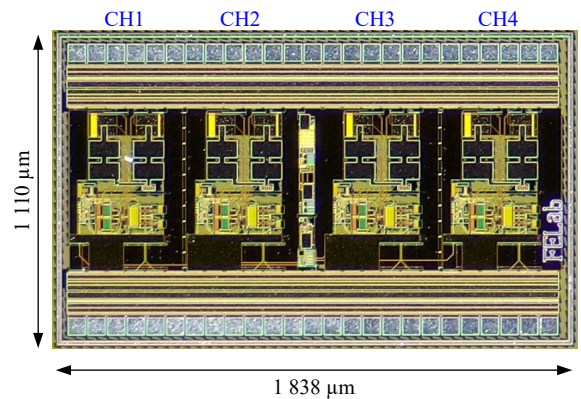


图 10 FDOA ASIC 版图(在线彩图)

表 3 FDOA ASIC 的指标总结

指标	FDOA ASIC
工艺	180 nm CMOS
开环增益*/ dB	82
输入共模范围*/ V	0~1
共模抑制比*/ dB	103
电源抑制比*/ dB	86
电压裕度*/ V	1.6~2.0
功耗/ mW	<28.3
压摆率/(V/μs)	745.4
THD@15.5 MHz, 2 Vpp/ dB	73.2
噪声/μV	173
输出驱动能力/ mA	±50

注：\* 表示后仿性能。

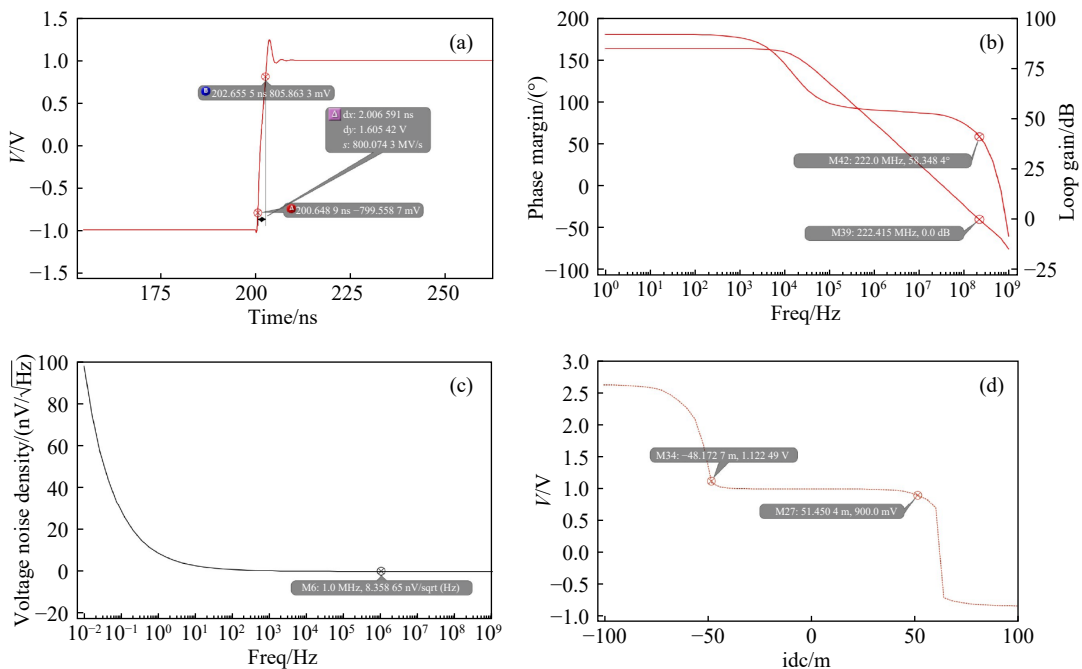


图 11 关键指标 ss corner 下的后仿真结果

(a) 压摆率性能仿真；(b) 增益及相位裕度仿真；(c) 等效输入噪声仿真；(d) 带负载能力仿真。



### 3 测试结果

FDOA ASIC采用CQFP100的封装，完整的测试平台如图12所示<sup>[14-15]</sup>。测试板选用了一款商用ADC芯片采集待测芯片的输出信号，并送入数据汇总板进行数据读出，最后由上位机软件进行数据处理与分析。

如表3所列，首先测量了芯片单通道的功耗，约为28.3 mW，噪声约173 μV，与后仿真指标相吻合。其次对压摆率进行了测试，如图13(a)所示，测试结果显示，压摆率约为745.4 V/μs，相较于后仿结果降低了约60 V/μs，这是由于在测试过程中为增加电路稳定性，增加了一个1.8 pf的反馈电容；同时，对待测芯片的带负载能力进行了测试，如图13(b)所示，测试结果显示，带负载能力约为50 mA，与后仿结果近似；通过向待测芯片送入不同幅值的正弦波信号，对待测芯片的积分非线性(Integral Non-Linearity, INL)进行了测试，如图13(c)~(d)所示，测试结果显示，INL的最差结果为0.086%。

最后对芯片的动态性能进行了测试，ADC采样率

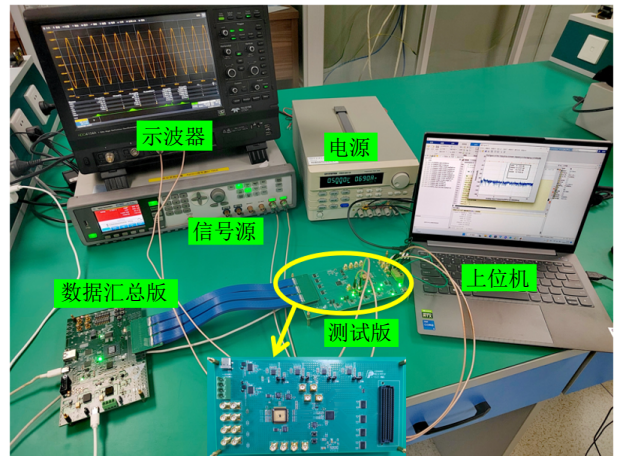


图 12 测试平台

设置为31.25 MSPS，输入正弦波信号进行性能测试。图14(a)给出在15.5 MHz，2 Vpp的正弦波信号输入下可以达到73.2 dB的总谐波失真，实现了10.5 bit的有效位；图14(b)给出了在采样率为31.25 MSPS，不同输入信号频率下动态性能的变化曲线，从图中可以看出，随输入频率升高，有效位大体上逐渐降低。

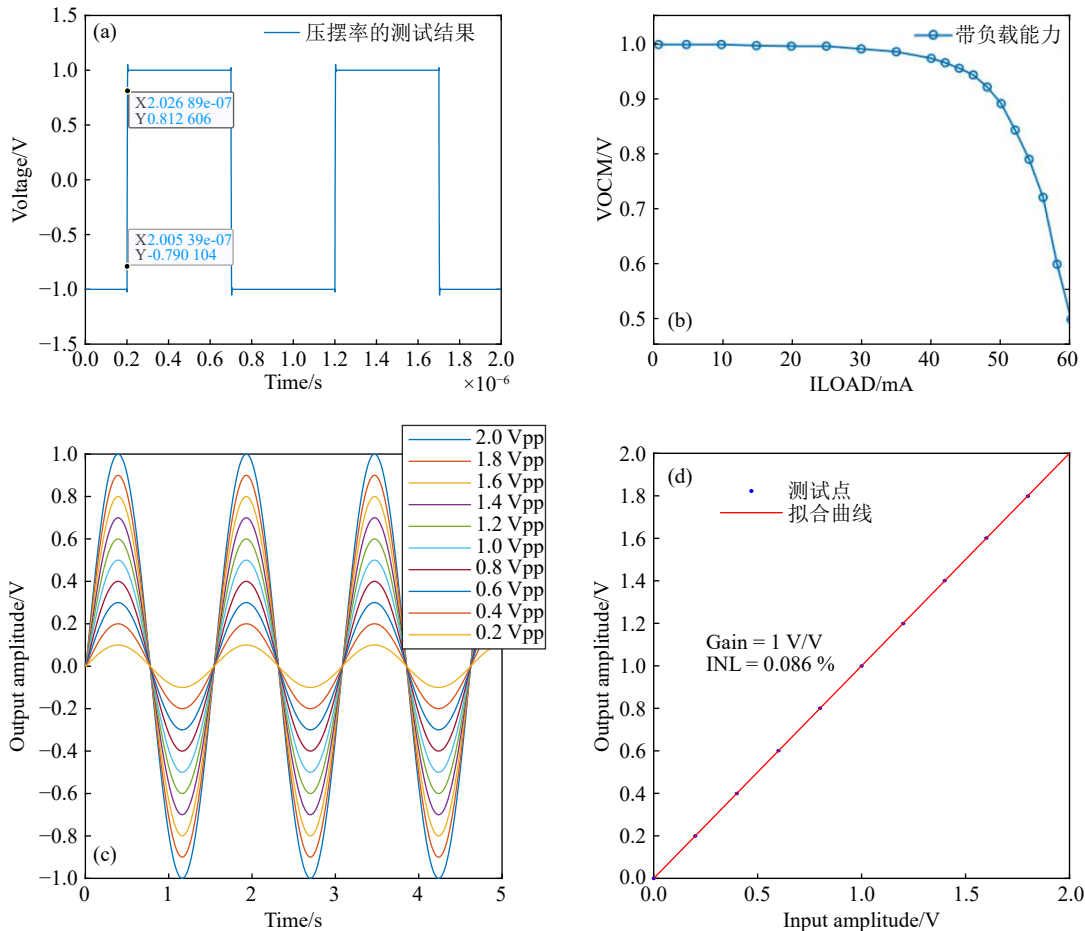


图 13 压摆率及带负载能力测试(在线彩图)

(a)压摆率性能测试；(b)带负载能力测试；(c)不同幅值正弦波信号的输入输出特性曲线；(d)INL的性能测试。

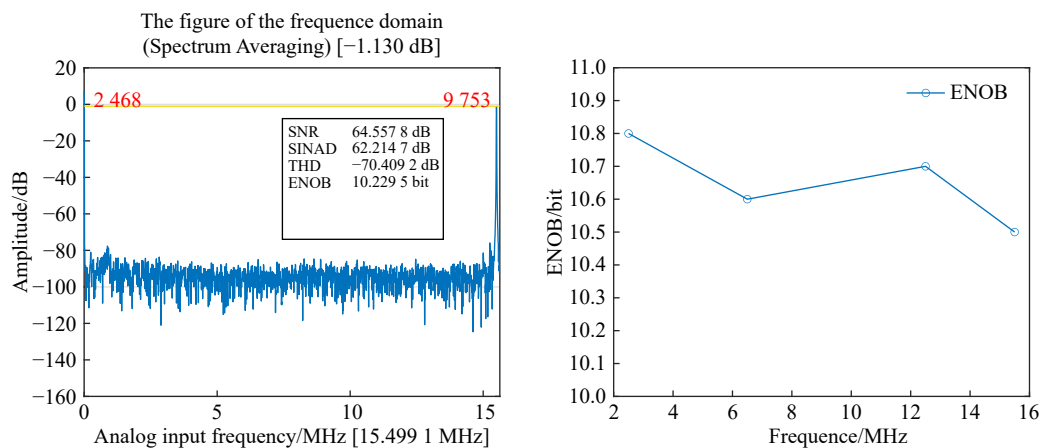


图 14 动态性能测试(在线彩图)

(a) 15.5 MHz, 2 V<sub>pp</sub> 正弦波信号输入下的频谱图; (b) 动态性能随输入信号频率变化图(31.25 MSPS)。

## 4 总结

本文针对粒子物理实验中基于放大成形结合数字寻峰技术进行电荷测量的需要, 为了满足粒子物理实验读出电子学高精度、低功耗、多通道等需求, 定制化设计了一款融合电流复用技术和 AB 类推挽放大器结构的 FDOA ASIC, 在较低的功耗下实现了更大的压摆率和带负载能力。

测试结果表明, 该芯片的单通道功耗约为 28.3 mW, 压摆率约为 745.4 V/ $\mu$ s, 带负载能力约为  $\pm 50$  mA, 噪声约为 173  $\mu$ V, 在 20 MHz、2 V<sub>pp</sub> 的正弦波信号输入下实现了好于 70 dB 的总谐波失真, 满足成形寻峰电路中电荷测量的需要。

## 参考文献:

- [1] LIU J F, ZHAO L, YU L, et al. *Chinese Physics C*, 2016, 40(6): 49.
- [2] PETROW H, ASPELL P, CIAGLIA D, et al. *Journal of Instrumentation*, 2021, 16(2): P02005.
- [3] FIUTOWSKI T, DABROWSKI W, MINDUR B, et al. Design and Performance of the GEMROC ASIC for 2-D Readout of Gas Electron Multiplier Detectors[C]//IEEE. New York: IEEE, 2011.
- [4] ZHANG Z, WANG X, MIAO P, et al. *Journal of Instrumentation*, 2020, 15(08): T08007.
- [5] KOSTNER S, STRAUMANN U. Noise Considerations of the Beetle Amplifier Used with Long Silicon Strip Detectors[R]. Geneva: CERN, 2005.
- [6] LI J M, ZHAO L, QIN J J, et al. *IEEE Transactions on Nuclear Science*, 2023, 70: 1030.
- [7] ASSAAD R, SILVA-MARTINEZ J. *Electronics Letters*, 2007, 43(23): 1243.
- [8] ASSAAD R, SILVA-MARTINEZ J. *IEEE Journal of Solid-State Circuits*, 2009, 44(9): 2535.
- [9] CORNER D J, CORNER D T. *IEEE Transactions on Circuits & Systems II Express Briefs*, 2004, 51(1): 8.
- [10] RAKSHITDATTA K S, MITIKTRI Y, KRISHNAPURA N. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2015, 63(5): 443.
- [11] HOGERVORST R, TERO J P, ESCHAUZIER R, et al. *IEEE Journal of Solid-State Circuits*, 1994, 29(12): 1505.
- [12] BASUMATA U, MONDAL A, DAS S, et al. Design of Two-Stage Fully-Differential Driver in SAR ADC with Indirect Feedback Compensation Technique[C]//2021 International Symposium on Devices, Circuits and Systems (ISDCS). 2021.
- [13] AHUJA B K. *IEEE Journal of Solid-State Circuits*, 2003, 18(6): 629.
- [14] YUSUF S I, SHAFIE S, MAJID H A, et al. *Indonesian Journal of Electrical Engineering and Computer Science*, 2020, 17(2): 750.
- [15] ARDIZZONI J, PEARSON J. *Analog Dialogue*, 2009, 43(5): 3.

# Design of FDOA ASIC for Charge Measurement Circuit in Shaping and Peak Detection Method

XU Zhisen<sup>1,2</sup>, QIN Jiajun<sup>1,3,†</sup>, ZHAO Lei<sup>1,2,3</sup>, LI Jiaming<sup>1,3</sup>

(1. State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;

2. School of Microelectronics, University of Science and Technology of China, Hefei 230026, China;

3. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

**Abstract:** The technical route of amplification & shaping and digital peak detection has been widely used in charge measurement in particle physics experiments. Since most high-precision Analog to Digital Converters are differential voltage inputs, it is necessary to convert the single ended signal after amplification & shaping into differential signal based on factors such as improving measurement accuracy and reducing common mode interference. In order to meet the requirements of high precision, low power consumption and multi-channel of readout electronics in particle physics experiments, a FDOA (Fully Differential Operational Amplifier) ASIC (Application Specific Integrated Circuit) is customized and designed. In order to achieve larger slew rate and load capacity with lower power consumption, the FDOA ASIC is designed by combining current multiplexing technology and class AB push-pull amplifier structure. Based on 180 nm CMOS process, the circuit design, simulation and streaming are completed. The test results show that the single channel power consumption of the chip is about 28.3 mW, and the slew rate is about 745.4 V/ $\mu$ s. The load capacity is about  $\pm 50$  mA, the noise performance is about 173  $\mu$ V. And the THD (Total Harmonic Distortion) is better than 70 dB under the signal input of 20 MHz and 2 V<sub>pp</sub>.

**Key words:** shaping and peak detection; FDOA; ASIC; current multiplexing technology; class AB push-pull amplifier structure

---

**Received date:** 09 Jan. 2023; **Revised date:** 07 Feb. 2023

**Foundation item:** National Natural Science Foundation of China (11722545); Youth Innovation Promotion Association, CAS

**† Corresponding author:** QIN Jiajun, E-mail: [jjqin@ustc.edu.cn](mailto:jjqin@ustc.edu.cn)