



基于TIADC技术的波形数字化系统的测试与评估

曹屹 秦家军 赵雷 安琪

Testing and Evaluation of a Waveform Digitization System Based on TIADC Technique

CAO Yi, QIN Jiajun, ZHAO Lei, AN Qi

在线阅读 View online: <https://doi.org/10.11804/NuclPhysRev.40.2022102>

引用格式:

曹屹, 秦家军, 赵雷, 安琪. 基于TIADC技术的波形数字化系统的测试与评估[J]. *原子核物理评论*, 2023, 40(4):579–588. doi: 10.11804/NuclPhysRev.40.2022102

CAO Yi, QIN Jiajun, ZHAO Lei, AN Qi. Testing and Evaluation of a Waveform Digitization System Based on TIADC Technique[J]. *Nuclear Physics Review*, 2023, 40(4):579–588. doi: 10.11804/NuclPhysRev.40.2022102

您可能感兴趣的其他文章

Articles you may be interested in

基于开关电容阵列ASIC芯片的多通道波形数字化系统设计

Multi-channel Waveform Digitization System Utilizing Switched Capacitor Array ASICs

原子核物理评论. 2017, 34(4): 755–761 <https://doi.org/10.11804/NuclPhysRev.34.04.755>

用于波形数字化的JESD204B高速接口设计

Design of JESD204B High Speed Interface for Waveform Digitization

原子核物理评论. 2017, 34(4): 745–754 <https://doi.org/10.11804/NuclPhysRev.34.04.745>

Back-n波形数字化模块的数据实时读出方法

Real-time Readout Method of Waveform Digitizing Module at Back-n

原子核物理评论. 2018, 35(2): 159–164 <https://doi.org/10.11804/NuclPhysRev.35.02.159>

核电厂数字化化学与容积控制系统上充功能的可靠性分析

Reliability Analysis of Charging Function of Digital Chemistry and Volume Control System in Nuclear Power Plant

原子核物理评论. 2020, 37(4): 924–934 <https://doi.org/10.11804/NuclPhysRev.37.2020072>

用于SCA ASIC测试的数字读出模块设计

Design of a Digital Readout Module for SCA ASIC Testing

原子核物理评论. 2020, 37(1): 74–81 <https://doi.org/10.11804/NuclPhysRev.37.2019025>

硅探测器的数字化脉冲形状甄别

Digital Pulse Shape Discrimination for Silicon Detector

原子核物理评论. 2017, 34(2): 177–183 <https://doi.org/10.11804/NuclPhysRev.34.02.177>

文章编号: 1007-4627(2023)04-0579-10

基于 TIADC 技术的波形数字化系统的测试与评估

曹屹, 秦家军[†], 赵雷, 安琪

(中国科学技术大学核探测与核电子学国家重点实验室, 合肥 230026)

摘要: 并行交替采样 (Time-Interleaved Analog-to-Digital Conversion, TIADC) 可成倍提升采样系统的采样率, 是高速波形数字化系统设计中的一项重要技术。然而不同采样通道间存在失配误差, 这会使得系统性能相对于单个 ADC 明显下降, 因此 TIADC 系统设计中还需要对失配误差进行修正。而对 TIADC 系统进行科学的性能测试与评估是评价系统设计质量以及推进下一步优化设计的必备环节。针对 TIADC 系统的性能测试与评估, 详细介绍了各项性能指标以及测试方法, 完成了一个由 2 片国产高速 ADC 组成 TIADC 系统的一系列性能测试, 并利用完美重构算法对该系统的失配误差进行了修正。经测试, 该系统可实现 5 Gsps 的等效采样率, 并可基于该算法实现宽带内失配误差修正, 修正后系统各项动态性能均得到显著提高, 其中有效位 (Effective Number of Bits, ENOB) 性能达 9.2 bits@247 MHz, 8.9 bits@857 MHz, 与单个 ADC 性能指标相当。

关键词: 波形数字化系统; 并行交替采样技术; 失配误差修正

中图分类号: TN792

文献标志码: A

DOI: 10.11804/NuclPhysRev.40.2022102

0 引言

采样率是波形数字化系统最重要的参数之一, 并行交替采样 (Time-Interleaved Analog-to-Digital Conversion, TIADC) 技术通过采用多个 ADC (Analog-to-Digital Converter) 进行不同相位的并行采样, 可成倍提升系统的等效采样率^[1-7]。对于一个由 M 个 ADC 采样通道组成的 TIADC 系统, 假设每个 ADC 的采样率为 F_s , 采样周期为 T_s , 每个 ADC 的采样时间延迟 T_s/M , 则 TIADC 系统等效采样周期为 T_s/M , 等效采样率为 $M \times F_s$, 即系统采样率为单个 ADC 的 M 倍。动态性能是评估一个波形数字化系统性能的重要指标, 由于 TIADC 系统各采样通道间失配误差的存在, 其动态性能相对单个 ADC 会明显下降, 故失配误差的修正是 TIADC 技术的一个研究重点。针对失配误差的修正, 已有大量方法被提出并应用^[8-14]。

目前国际形势复杂, 国外的超高速 ADC 使用受限, 从这个角度考虑也需要发展自主化 TIADC 系统的设计。针对自主化 TIADC 技术及其失配误差修正技术研究的重要性, 本课题组所在的实验室已设计了一套基于国产高速 ADC 的 TIADC 系统, 并提出了一种基于完美重构算法的宽带失配误差修正方法^[14]。为验证系统工作的

正确性及修正方法的有效性, 需进行测试与评估。

本工作首先简要介绍所测试的 TIADC 系统的结构, 并简单介绍失配误差的概念及该算法的修正过程, 然后对该系统的测试内容、各项测试的测试方法及测试平台的搭建进行详细介绍, 最后给出上述各项测试内容的测试结果, 并对测试结果进行分析。

1 TIADC 系统结构及失配误差修正方法

本节首先对所测试的 TIADC 系统的结构进行简要介绍, 然后介绍失配误差参数及其修正过程。

1.1 系统结构

本工作所测试的 5-Gsps 12-bit TIADC 系统结构如图 1 所示。系统主要由模拟信号传输电路、时钟产生电路、ADC 及数字电路四部分组成。

模拟信号传输电路包含 SMA (SubMiniature version A) 信号接口、功分器和两个变压器, 外部信号源输出模拟信号, 由 SMA 接口送入功分器, 功分器将信号分为两路, 两路单端信号各由一个变压器转换为差分信号, 以适应 ADC 的差分输入。

时钟产生电路由锁相环 (Phase Lock Loop, PLL) 和采样时钟调理电路组成, 外部晶振提供参考时钟, 送

收稿日期: 2022-09-23; 修改日期: 2022-10-31

基金项目: 国家自然科学基金面上项目 (11675173)

作者简介: 曹屹 (1997-), 女, 陕西汉中, 硕士研究生, 从事高速采样电路研究; E-mail: 280797764@qq.com

[†] 通信作者: 秦家军, E-mail: jjqin@ustc.edu.cn

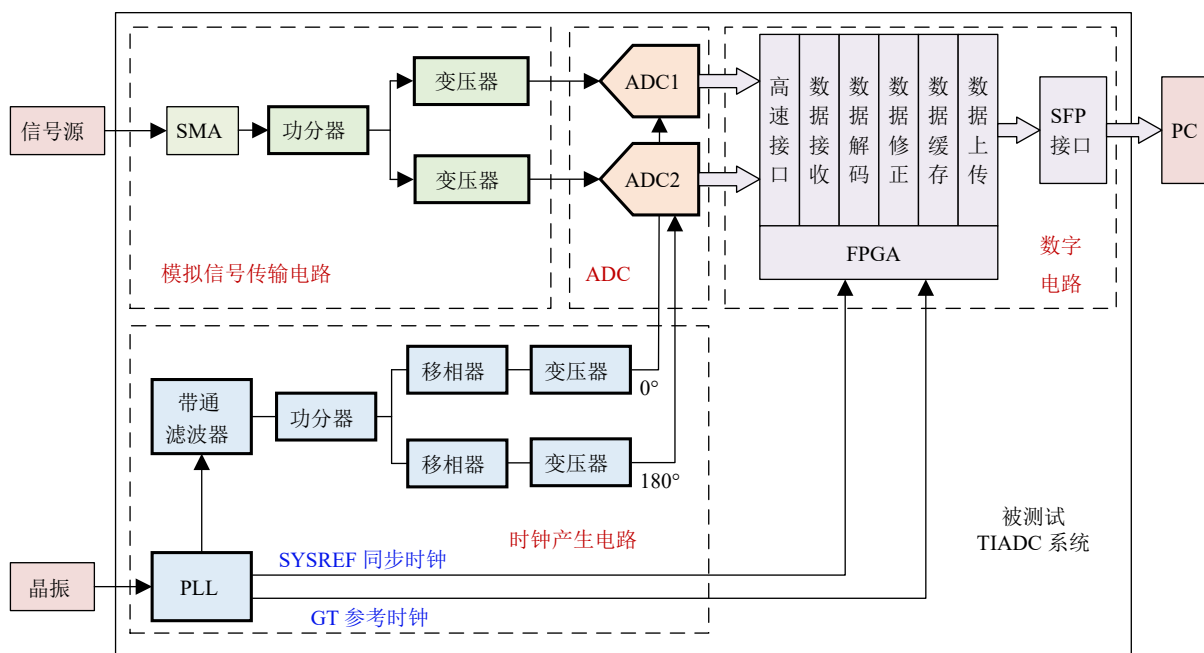


图 1 5-Gbps 12-Bit TIADC 系统结构示意图(在线彩图)

入 PLL。PLL 一路输出为 2.5 GHz 时钟，经过带通滤波器、功分器、移相器及变压器转换为两路差分时钟送入 2 片 ADC，完成采样时钟的生成、调理及发送；PLL 另一路输出为数据同步及高速数据传输所需的特定频率的参考时钟。

ADC 是本系统的关键，本系统使用 2 片 2.5 Gbps 12 bit 的国产高速 ADC 进行并行交替采样，其采样时钟相位分别为 0° 和 180°，此工作状态下，系统采样时间间隔为 200 ps，等效采样率 5 Gbps。ADC 通过符合 JESD204B 协议的高速串行数据接口输出。

数字电路包括 FPGA(Field Programmable Gate Array) 和 SFP(Small Form Pluggable) 数据接口，其中 FPGA 通过高速数据接口完成高速串行数据的接收、解码、修正、缓存，最终将数据通过 SFP 接口上传至 PC(Personal Computer)。

1.2 失配误差及其修正

1.2.1 失配误差

在实际 TIADC 系统中，根据产生原因可将失配误差分为三种：增益误差、相位误差、偏置误差。

增益误差是由 ADC 自身增益的差异和模拟信号传输电路对信号幅度响应的差异而产生的，反映了各个采样通道采样信号的幅度不一致性，以第 1 通道为参考，第 m 通道的增益误差可表示为 $G_m = A_m/A_1$ ，其中 A_m 、 A_1 分别表示第 m 通道和第 1 通道的信号幅度。

相位误差是由实际采样时钟与理想采样时钟的偏差以及不同 ADC 对输入信号响应时间的不同而产生的，

表征了实际采样时间的误差。在单个 ADC 采样周期为 T_s 的 M 通道理想 TIADC 中，以第 1 通道为参考，其采样时间为 nT_s ，第 m 通道的采样时间应为 $nT_s + \frac{m-1}{M}T_s$ ，与第 1 通道的采样时间差为 $\frac{m-1}{M}T_s$ 。实际的 TIADC 系统采样时间与理想情况存在一定偏差，第 m 通道的相位误差可表示为 $\Delta t_m = \frac{t_m - t_1}{T_s/M}$ ，其中 t_m 、 t_1 分别表示第 m 通道和第 1 通道的实际采样时间。

偏置误差是由各个 ADC 偏置的差异而产生的，反映了不同采样通道之间的直流(Direct Current, DC)偏置的不一致性。以第 1 通道为参考，第 m 通道的偏置误差可表示为 $\Delta o_m = o_m - o_1$ ，其中 o_m 、 o_1 分别表示第 m 通道和第 1 通道的 DC 偏置。

三种失配误差中，偏置误差一般只与采样率有关，可认为是一个不随输入信号频率变化的常量。而增益误差和相位误差与采样率和信号频率同时相关，采样率确定的系统以上两种失配误差随信号频率变化而变化，故失配误差修正中主要关注增益误差与相位误差的修正。

1.2.2 失配误差修正

在本实验室之前的工作中，设计了一种基于完美重构算法的宽带内失配误差修正方法^[14]，该方法基于有限冲击响应(Finite Impulse Response, FIR)滤波器组对采样数据进行修正，可以在软件或硬件上实现。该方法的修正过程如图 2 所示，整个过程分为标定过程和修正过程两部分。

标定过程中，首先根据多个频点的采样结果进行失配误差标定，该过程通过正弦波四参数拟合方法实现，

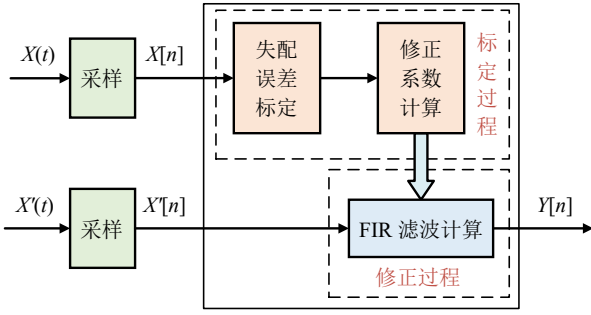


图 2 失配误差修正过程(在线彩图)

第 m 个通道的拟合结果可写为

$$x_{m_fit}(t) = G_m \cos[\omega_m(t + t_m)] + o_m, \quad (1)$$

其中： G_m 、 ω_m 、 t_m 、 o_m 分别为其幅度、角频率、延时和直流分量。根据以上参数，即可计算得到各通道的失配误差，为了能够更加精确地描述失配误差随频率的变化，还需要插值计算得到足够多标定频点下的失配误差参数，且为配合后续计算，标定频点数应为 2 的幂次方。然后基于完美重构算法进行修正系数计算，在 TIADC 系统中，第 m 个通道含有失配误差的采样结果的频域表达式为

$$X_{sm}(j\omega) = \sum_{k=-\infty}^{+\infty} \left[A_m(j\omega) X \left(j \left(\omega - k \frac{2\pi}{MT_s} \right) \right) + B_m(j\omega) \right], \quad (2)$$

其中： $A_m(j\omega)$ 为增益误差和相位误差的影响项； $B_m(j\omega)$

为偏置误差的影响项。而第 m 个通道理想采样结果的频域表达式 $X_{sm_ideal}(j\omega)$ 可根据采样原理得到，根据以上频域表达式可引入频域解为 $F_m(j\omega)$ 的修正滤波器，使得其满足完美重构方法组：

$$\sum_{k=-\infty}^{+\infty} X_{sm}(j\omega) F_m(j\omega) = X_{sm_ideal}(j\omega), \quad (3)$$

即可达到消除失配误差影响的目的。通过求解以上方程组，即可得到第 m 个通道的修正滤波器的频域解 $F_m(j\omega)$ ，由于修正过程是对时域波形进行 FIR 滤波，因此还需再通过快速傅里叶反变换 (Inverse Fast Fourier Transform, IFFT) 可将其转化为时域解 $F_m[n]$ ，此时时域解的阶数与标定频点数相同，在实时修正中如果直接使用时域解将会导致计算量过大，为了获得合适阶数的滤波器系数，还需要对时域解进行加窗截断，此时完成了修正系数的计算。

利用标定过程求得的滤波器系数对失配误差进行修正,修正过程如图 3 所示。对于由 M 个采样通道组成的 TIADC 系统，输入信号 $x(t)$ 由各个含有失配误差的通道进行采样，各通道采样结果为 $x_{sm}(t)$ 。 $x_{sm}(t)$ 经过量化与 M 倍上采样后得到 $x_m[n]$ ，然后利用完美重构滤波器对各个通道的采样序列分别进行滤波计算，最终将各个通道计算后的序列相加，即得到修正后的结果 $y[n]$ 。

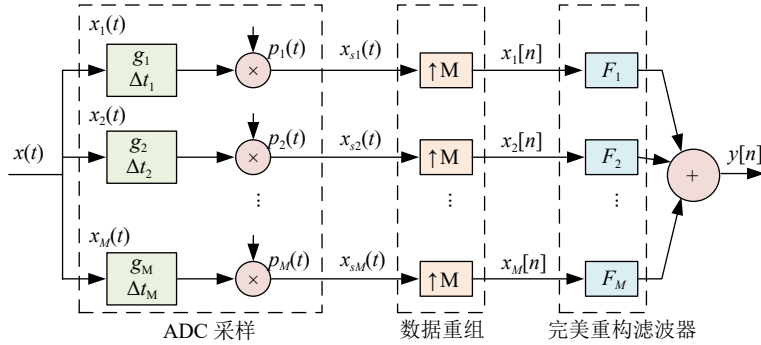


图 3 完美重构算法修正过程示意图(在线彩图)

本工作所测试系统包含 2 个采样通道，故可对其进行 2 通道修正。

2 测试内容、方法及测试平台

本节将详细介绍本系统测试的测试内容及各项测试内容的测试方法，并根据测试内容及方法介绍测试平台的搭建。

2.1 测试内容及方法

为验证系统能否正确采样以及修正方法是否有效，

本系统的主要测试内容包括：模拟带宽测试、瞬态波形测试、失配误差测试和动态性能测试。

根据电气与电子工程师协会 (Institute of Electrical and Electronics Engineers, IEEE) ADC 测试标准 [15]，在 ADC 测试中，常常使用正弦波作为输入信号，主要原因是精确的正弦波源容易获得，并且基于频谱分析易于对采样结果进行分析。另外，正弦波作为线性时不变 (Linear Time-Invariant, LTI) 系统的特征函数，当单一频率的正弦波作为 LTI 系统的输入时，输出为仅幅度、相位改变的同频率正弦波，因此采样结果可反映非线性及

时变误差。下面将详细介绍各项测试内容及对应的测试方法。

2.1.1 模拟带宽测试

ADC 采样结果的幅度往往会随着输入信号的频率变化而变化, ADC 的模拟带宽 (Bandwidth) 是其频率响应的通带的频率宽度, 具体定义为 ADC 增益与通带内某一特定参考频率处增益相差 -3 dB 的高频点与低频点的频率差, 其中通带内参考频率应选在增益接近峰值处。对于绝大多数 ADC, 其通带范围向低频延伸至 DC, 此情况下, 常常选取 DC 处的增益作为参考, 将增益与 DC 处增益相差 -3 dB 的频率点定义为 ADC 的带宽。当输入信号的频率超出模拟带宽时, 采样结果的幅度会有明显衰减, 故模拟带宽反映了一个 ADC 采样系统能够测量的信号频率范围。为实现 DC~1.25 GHz 内的失配误差修正, 本系统带宽应高于 1.25 GHz。

带宽的测试方法是: 使用单一频率的正弦波信号作为输入, 固定输入信号的幅度, 只改变信号的频率, 对输入信号的频率进行扫描, 通过正弦波拟合得到拟合结果 $y_{\text{fit}} = A \cos(2\pi ft + \varphi) + oht + o$, 其中 A 、 f 、 φ 、 o 分别为采样得到的正弦波的幅度、频率、相位与 DC 偏置。根据各频点下系统采样后的信号幅度可得到系统采样结果的幅度随频率变化的曲线, 即幅频响应曲线, 找到采样幅度相对于低频下降 3 dB 的频点, 此频率即为系统模拟带宽。测试中, 输入信号应该具有高频谱纯度与低于被测试 ADC 的谐波失真, 并且信号源在测试期间应具有稳定输出, 且信号频率不能为 ADC 采样率的次谐波。

根据 Nyquist-Shannon 采样定理^[16], 5 Gsps 的采样系统能够正确采样的频率上限为 2.5 GHz, 故本系统带宽测试输入信号频率上限为 2.5 GHz。

2.1.2 瞬态波形测试

为保证系统能够实现 5 Gsps 的等效采样率, 需要对其采样得到的瞬态波形进行测试与观察。

首先可以对单一频率正弦波采样结果进行测试, 设定信号频率, 调节信号源输出功率使得采样后正弦波拟合结果的幅度为 -1 dBFS (dB relative to Full Scale), 按照采样时钟将采样点顺序排列, 即可观察系统采样得到的正弦波瞬态波形。

物理实验中, 探测器输出信号多为脉冲信号, 脉冲信号中含有丰富的频率成分, 因此除正弦波外, 还需要对脉冲信号进行测试。控制信号源发送脉冲信号, 观察系统采样结果的波形, 还可以将其与示波器直接采样得到的波形进行对比。

2.1.3 失配误差测试

根据完美重构算法, 为了进行失配误差修正, 首先

需要提取失配误差。根据 1.2 中给出的失配误差的定义, 可以确定本系统失配误差测试的测试方法:

增益误差与相位误差随输入信号频率改变而改变, 以单一频率正弦波作为输入信号, 对频率进行扫描可得到上述两种失配误差随频率的变化趋势。单个频点增益误差与相位误差的测试方法为: 设置信号源输出频率, 调节信号源输出幅度, 使得采样后正弦波拟合结果的幅度为 -1 dBFS。对 2 片 ADC 各自的采样结果分别进行正弦波拟合, 得到拟合结果 $y_{\text{fit}, 1, 2} = A_{1, 2} \cos(2\pi ft + \varphi_{1, 2}) + o_{1, 2}$ 。得到各个参数后, 此频率下增益误差和相位误差可分别计算为: $G_2 = A_2/A_1$, $\Delta t_2 = \frac{\varphi_2 - \varphi_1}{2\pi f(\frac{T_s}{2})}$, 其中 T_s 为单个 ADC 的采样周期, 对应此系统中的 400 ps。对于理想 TIADC 系统, $G_2=1$, $\Delta t_2=1$ 。改变信号源输出信号频率, 调节输出幅度使得采样幅度保持 -1 dBFS, 在每个频点下进行上述拟合及计算过程, 即可得到增益误差与相位误差随频率变化的趋势。

偏置误差一般只与采样率有关, 可视为一与信号频率无关的恒定值, 单一频点的偏置误差为: $\Delta o_2 = o_2 - o_1$, 通过计算各个频点的偏置误差, 再对所有频点的偏置误差求平均即可得到。

2.1.4 动态性能测试

一个 ADC 系统的性能参数主要分为静态参数^[16]与动态参数^[17], 静态参数主要包括微分非线性与积分非线性, 这两种非线性描述了 ADC 的实际码值与理想码值的偏差, 静态参数一般由 ADC 自身决定, 而动态性能不仅与 ADC 有关, 还与电源纹波、输入信号、外部电路有关, 并且失配误差主要影响系统的动态性能, 因此动态性能是本 TIADC 系统的测试重点。动态性能主要有: 信噪比 (Signal-to-Noise Ratio, SNR)、总谐波失真 (Total Harmonic Distortion, THD)、信纳比 (Signal-to-Noise-And-Distortion ratio, SINAD)、无伪峰动态范围 (Spurious Free Dynamic Range, SFDR) 和有效位 (Effective Number of Bits, ENOB)。

1) 信噪比 (SNR)

ADC 的 SNR 为在规定振幅和频率的单一频率正弦波输入下 ADC 采样结果的频谱中信号成分的能量 P_{signal} 与去除直流成分与谐波成分后的噪声成分的能量 P_{noise} 之比, 计算公式为

$$\text{SNR} = 10 \lg \frac{P_{\text{signal}}}{P_{\text{noise}}}, \quad (4)$$

其中噪声的来源有量化噪声、采样时钟噪声、ADC 本身的噪声以及 ADC 外围电路的噪声等。

2) 总谐波失真 (THD)

采样过程中, ADC 的非线性不可避免, 采样结果

的频谱中必然存在谐波，ADC的THD为在规定振幅和频率的单一频率正弦波输入下ADC采样结果的频谱中谐波成分的总能量 $\sum P_{\text{harmonic}}$ 与信号能量之比，计算公式为

$$\text{THD} = 10 \lg \frac{\sum P_{\text{harmonic}}}{P_{\text{signal}}}, \quad (5)$$

由于谐波有无穷多个，计算谐波总能量时无法将所有谐波能量统计在内，一般只计算2~10次谐波能量即可。

3) 信纳比(SINAD)

ADC的SINAD为在规定振幅和频率的单一频率正弦波输入下采样结果频谱中信号成分能量与噪声能量和谐波总能量和的比值，计算公式为

$$\text{SINAD} = 10 \lg \frac{P_{\text{signal}}}{P_{\text{noise}} + \sum P_{\text{harmonic}}}, \quad (6)$$

由于SINAD考虑了噪声与谐波，相比SNR，SINAD更能真实地反映ADC的性能。

4) 无伪峰动态范围(SFDR)

ADC的SFDR为在规定振幅和频率的单一频率正弦波输入下采样结果频谱中信号成分能量与整个Nyquist区内观察到的最大非信号峰(伪峰)能量 P_{spurs_h} 的比值，计算公式为

$$\text{SFDR} = 10 \lg \frac{P_{\text{signal}}}{P_{\text{spurs}_h}}. \quad (7)$$

5) 有效位(ENOB)

由于噪声、非线性等非理想因素存在，ADC的采样结果中可置信的位数往往不能达到设计的分辨率，ENOB表示ADC输出结果中实际可置信的位数，其经验公式为

$$\text{ENOB} = \frac{\text{SINAD} - 1.761}{6.02}. \quad (8)$$

为了对系统修正前后的性能进行对比，需对此系统进行动态性能测试，以验证修正过程有效性。各项动态性能均为输入信号频率的函数，动态性能的测试同样使用单一频率正弦波作为输入信号，对采样结果进行频谱分析获得动态性能参数。由于失配误差修正过程中无法对ADC的非线性进行修正，因此本系统测试中不需关注THD，只需要关注与失配误差有关的SNR、SINAD、SFDR及ENOB。

测试某一特定频点的动态性能时，调节信号源输出指定频率的单一频率正弦波，调节信号源输出幅度使得ADC采样结果的幅度为-1 dBFS，得到系统对此输入信号的采样结果。快速傅里叶变换(Fast Fourier Trans-

formation, FFT)是一种高速算法，能够快速实现有限长度的离散信号从时域到频域的转换，对采样结果进行FFT分析即可得到输出结果的频谱。在每次采样中，由于随机白噪声的存在，FFT得到的频谱的噪声平台涨落较大，不便于分析，针对此问题，可以采用多次FFT谱平均的方法降低噪声平台的涨落，从而使得各个信号峰更加清晰地呈现于频谱中。

在进行FFT分析时，采样点数应为2的幂次方，这意味着需要对无限长的采样序列进行截断，截断操作可能会导致频谱泄露现象。如果在测试过程中能够严格满足相干采样条件，即可避免FFT分析时的频谱泄露。但在实际的ADC测试中，严格满足相干采样条件是很难做到的，在对采样序列进行FFT分析前，对采样序列加窗函数处理可以有效减轻频谱泄露。

利用FFT分析得到的频谱，可评估SNR、SINAD、SFDR、ENOB等动态性能。对 $N=2^n$ 个点进行FFT计算得到的频谱是一个离散函数，在DC到 $f_s/2$ 的第一Nyquist区中共有 $(2^{n-1}+1)$ 个点，每个点对应一个频率值 f ，第 m 个点对应的频率值为 $f_m = \frac{m-1}{N} \times f_s$ ，对应的幅度为该点对应的信号能量，可记为 $P[f]$ 。频谱中的最高峰对应信号峰，根据其位置可以计算信号频率 f_{signal} ，确定信号频率后，在其附近设定一定范围，即设定统计能量的开窗大小 win ，计算该范围内频谱的总能量，即为信号的能量 P_{signal} ，计算公式为

$$P_{\text{signal}} = \sum_{f_{\text{signal}} - \text{win}}^{f_{\text{signal}} + \text{win}} P[f]. \quad (9)$$

确定信号频率后可推算谐波位置，如果谐波在Nyquist带宽区间内，其位置可直接得到；如果谐波在Nyquist带宽区间外，其位置可通过在Nyquist区间内镜像得到。用同样的方法可以计算谐波能量，第 n 次谐波能量可以表示为

$$P_{\text{harmonic}}[n] = \sum_{f_{\text{harmonic}_n} - \text{win}}^{f_{\text{harmonic}_n} + \text{win}} P[f]. \quad (10)$$

总谐波能量 $\sum P_{\text{harmonic}}$ 一般可由第2~10次谐波能量的和表示：

$$\sum P_{\text{harmonic}} = \sum_{n=2}^{10} P_{\text{harmonic}}[n], \quad (11)$$

除去信号能量与总谐波能量后，频谱上其余的能量值即为噪声能量 P_{noise} ，失配误差产生的伪峰能量也包含在其中，其计算公式为

$$P_{\text{noise}} = \sum P[f] - P_{\text{signal}} - \sum P_{\text{harmonic}} \quad (12)$$

除此之外，在频谱中找到能量最高的非信号峰(最大伪峰)，用同样的方法可计算最大伪峰能量 P_{spurs_h} 。有了以上能量值，根据式(4)~(8)，即可计算该频率下各个动态性能参数的值。对信号频率进行扫描，即可得到系统在频带范围内动态性能随频率的变化趋势。

本系统数据分析过程中，每次FFT分析采样数据数为16384个，这对于FFT分析得到的频谱已具有较高的频率分辨。谱平均次数为15次，15次谱平均后采样结果噪声平台的涨落较小，各个能量峰清晰呈现在频谱中。在对数据进行FFT分析之前加布莱克曼窗处理，它

具有主瓣宽且幅值大、旁瓣宽度小、衰减速度快的特点，可有效抑制频谱泄露现象。

2.2 测试平台

根据上述测试内容及方法，可搭建本系统的测试平台，测试平台结构如图4所示，其主要由信号源、电源、被测系统、示波器与PC组成。信号源输出正弦波或脉冲信号，电源为被测系统供电，被测系统可对输入信号进行采样，示波器可直接对信号源输出信号进行采样，用以与系统采样波形的对比，PC对采样结果进行接收、存储，然后可在软件中对数据进行相应处理及分析。

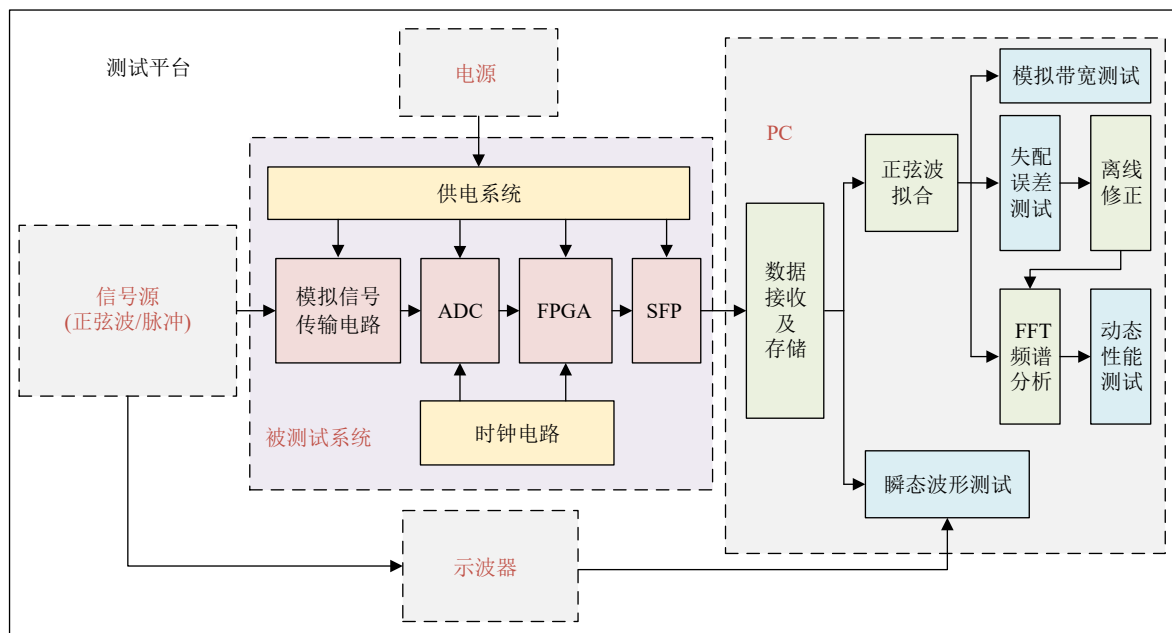


图 4 测试平台结构(在线彩图)

各项测试中，均需使用单一频率的正弦波作为输入信号，正弦波信号频率覆盖DC~2.5 GHz，因此需要能够产生上述频率范围的射频信号源。在失配误差及动态性能测试中需控制采样幅度为-1 dBFS，另外ADC测试中对信号源输出品质和稳定性都有较高要求。综合考虑，本系统测试中选择了一款射频信号发生器，其型号为Rohde&Schwarz SMA100B-106。该信号源可提供高品质的稳定正弦波输出，输出信号幅度范围-145~20 dBm，频率范围8 kHz~6 GHz，相位噪声-135 dBc@1 GHz & 20 kHz offset和-155 dBc@1 GHz & >10 MHz offset。

在瞬态波形测试中还需要对脉冲信号进行采样，因此除正弦波信号源外，还需要脉冲信号源，信号源应可以产生上升/下降沿可配置的脉冲输出，并且输出幅度应可配置以适应ADC的输入信号幅度范围。本系统脉冲信号源选择了任意波形发生器 Keysight 81160A，该

信号源可配置产生最快上升/下降沿1 ns的脉冲波形，输出信号幅度范围为50 mVpp~5 Vpp。

在脉冲测试中，使用示波器对被测系统采样得到的波形与实际波形进行对比，测试中选取的示波器为Lecroy WavePro 254HD，该示波器有4个输入通道，分辨率12 bits，最高采样率20 Gsps，-3 dB模拟带宽2.5 GHz，输入可选50 Ω DC耦合或1 MΩ AC/DC耦合。

被测系统TIADC系统供电系统采用12 V电压供电，经初步估计在系统工作时需要电流为几A，且电源噪声也会对系统性能有所影响。因此应该选择输出最高电压高于12 V且噪声较小的电源为TIADC系统供电。本系统选取了一款直流稳压电源，其型号为GWINSTEK PSM-2010，该电源有0~8 V/20 A与0~20 V/10 A两个输出档位可选择，电源输出噪声<350 μV_{rms}。使用0~20 V/10 A档位可为测试系统供电。

除上述需要使用的仪器外，由于本系统测试中输入信号的频率高达 GHz 量级，普通的传输电缆在进行高频信号传输时衰减较大，故需要使用低插入损耗的测试电缆。本系统测试中选用了一根长度为 20 cm 的高带宽低衰减同轴电缆进行模拟输入信号的传输。

使用上述仪器及电缆即可搭建本系统的测试平台，测试平台照片如图 5 所示。

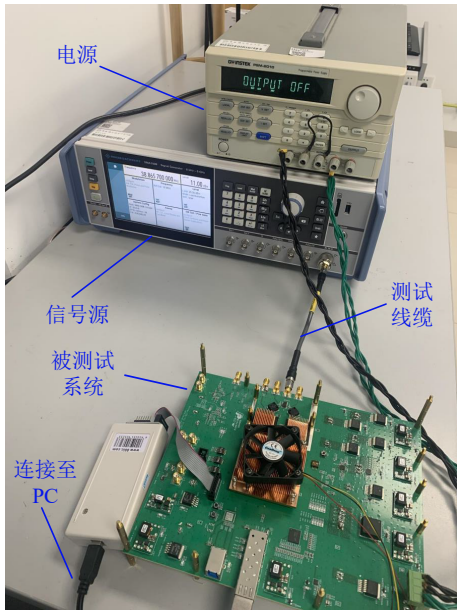


图 5 TIADC 系统测试平台照片(在线彩图)

3 测试结果

3.1 模拟带宽测试结果

本系统带宽测试结果如图 6 所示，本系统带宽达 2.2 GHz，超过了 1.25 GHz 的修正频率上限。

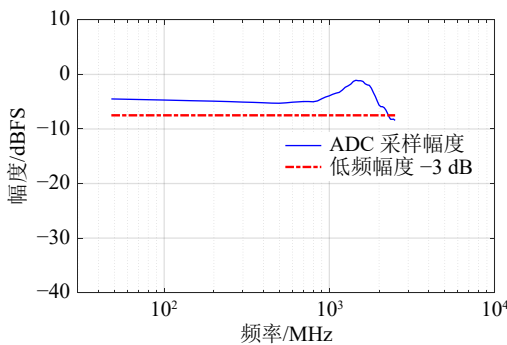


图 6 TIADC 系统带宽测试结果(在线彩图)

3.2 瞬态波形测试结果

对系统进行瞬态波形测试，首先是单一频率正弦波测试。输入 147 和 387 MHz 正弦波时系统采样得到的瞬态波形如图 7 和图 8 所示。

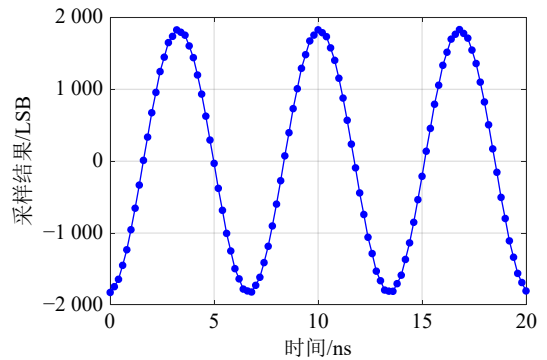


图 7 输入 147 MHz 正弦波时的瞬态波形(在线彩图)

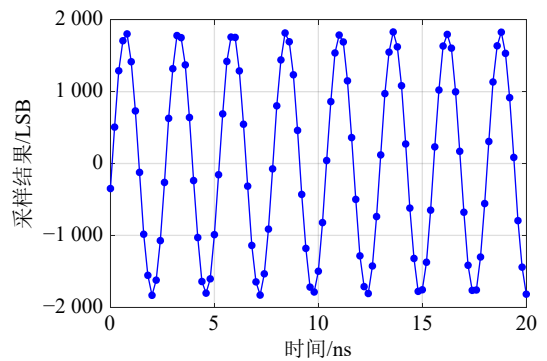


图 8 输入 387 MHz 正弦波时的瞬态波形(在线彩图)

然后是脉冲波形测试，由信号源产生一个上升沿 1 ns，下降沿 2 ns 的脉冲，示波器采样得到的波形如图 9 所示。本系统对信号采样得到的波形如图 10 所示。

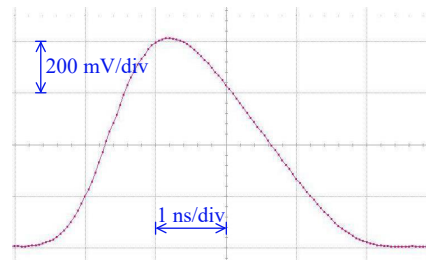


图 9 示波器上脉冲波形屏幕截图(在线彩图)

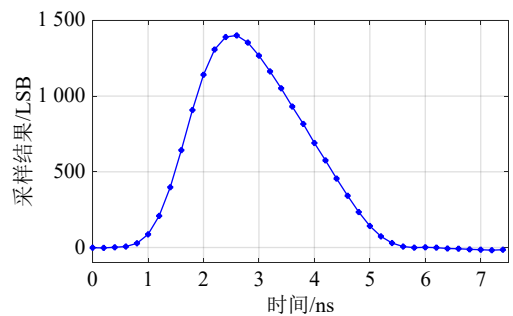


图 10 TIADC 系统采样脉冲信号瞬态波形(在线彩图)

上述结果表明本系统可以 200 ps 的时间间隔对输入信号正确采样，即利用 2 片采样率为 2.5 Gsps 的 ADC 实现了 5 Gsps 的等效采样率。

3.3 失配误差测试结果

本系统增益误差和相位误差测试结果如图 11 和图 12 所示, 在 DC~1.25 GHz 范围内, 增益误差变化范围为 0.980~1.005, 相对于理想值 1 浮动范围为 2.5%。相位误差变化范围为 0.958~0.999, 相对于理想值 1 浮动范围为 4.1%, 对应的采样时间误差为 0.2~8.4 ps。

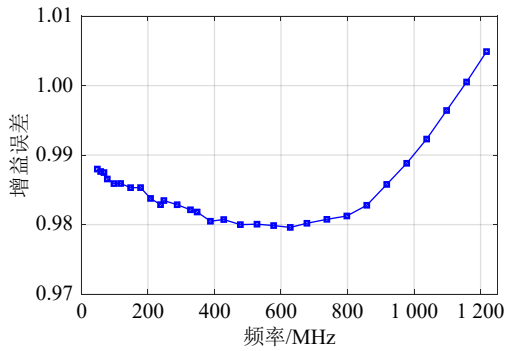


图 11 增益误差测试结果 (在线彩图)

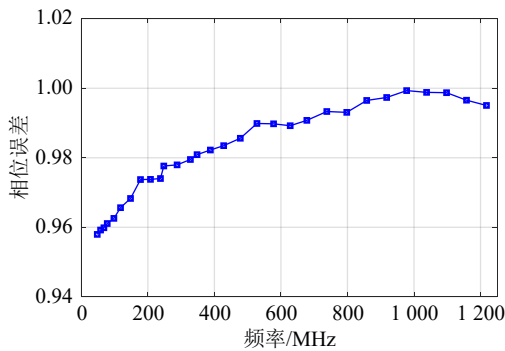


图 12 相位误差测试结果 (在线彩图)

3.4 动态性能测试结果

在输入 177 MHz 的单一频率正弦波时, ADC1 和 ADC2 采样结果的频谱分别如图 13 和图 14 所示, 2 个 ADC 并行交替采样结果的频谱如图 15 所示。从图中可以看到, 由于失配误差的存在, 并行交替采样结果的频谱上会出现伪峰, 图中标注出了伪峰的位置。在失配误

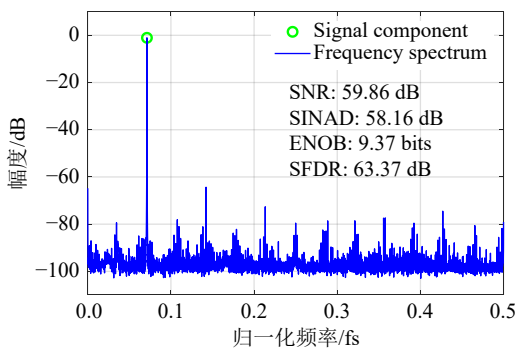


图 13 177 MHz 正弦波输入下 ADC1 采样结果频谱图 (在线彩图)

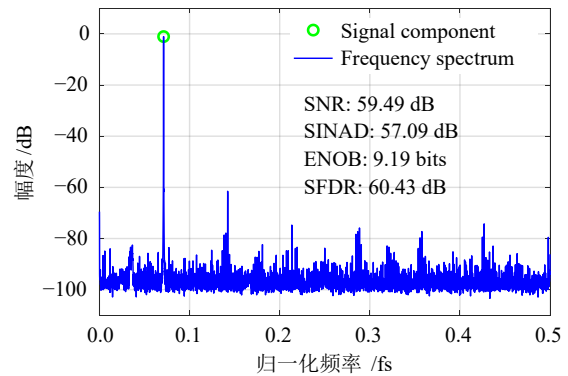


图 14 177 MHz 正弦波输入下 ADC2 采样结果频谱图 (在线彩图)

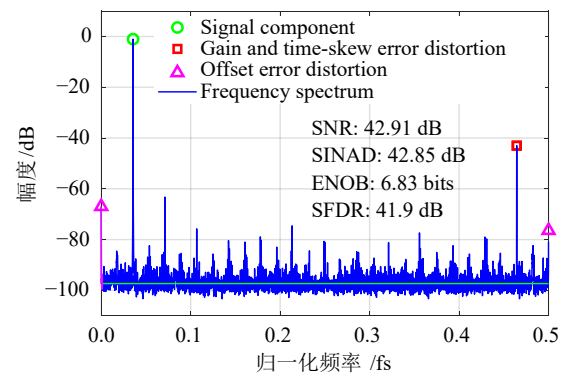


图 15 177 MHz 正弦波输入下并行交替采样结果频谱图 (在线彩图)

差的影响下, 系统动态性能明显下降, 相对于 ADC1, SNR 下降 17 dB, SINAD 下降 15 dB, SFDR 下降 21 dB, ENOB 下降 2.5 bits, 这也说明了失配误差修正的重要性与必要性。

接下来, 基于完美重构算法计算 FIR 滤波器系数, 利用此系数对 TIADC 采样序列进行修正, 设定修正滤波器阶数 $K=80$, 修正后序列的频谱如图 16 所示。对比图 15 发现, 增益误差与相位误差产生的伪峰得到了明显的消减, 各项动态性能均得到了明显提升, 与单个 ADC 相当。

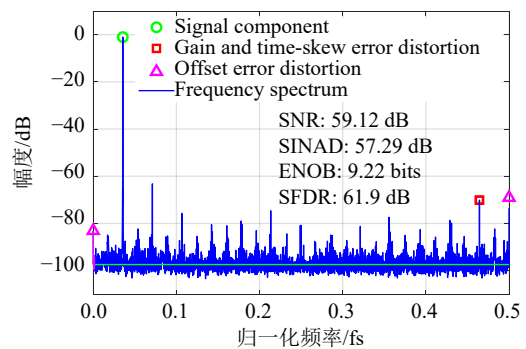


图 16 177 MHz 正弦波输入下并行交替修正后结果频谱图 (在线彩图)

设定不同的滤波器阶数对失配误差进行修正，设定滤波器阶数分别为 20 阶、80 阶、120 阶与 200 阶，ADC1 采样结果、ADC2 采样结果、原始并行交替采样结果及不同阶数滤波器修正后结果的 SNR、SINAD、SFDR、ENOB 随频率的变化分别如图 17~图 20 所示。从图中可

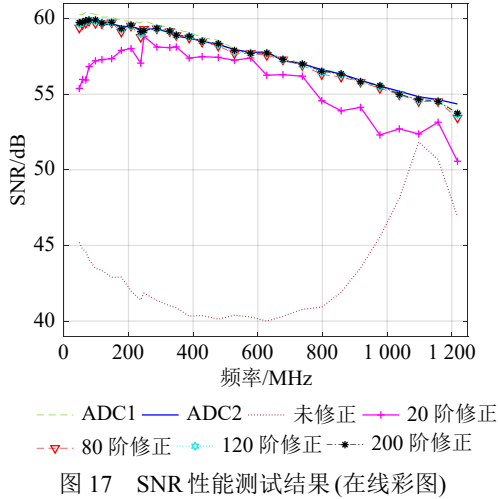


图 17 SNR 性能测试结果(在线彩图)

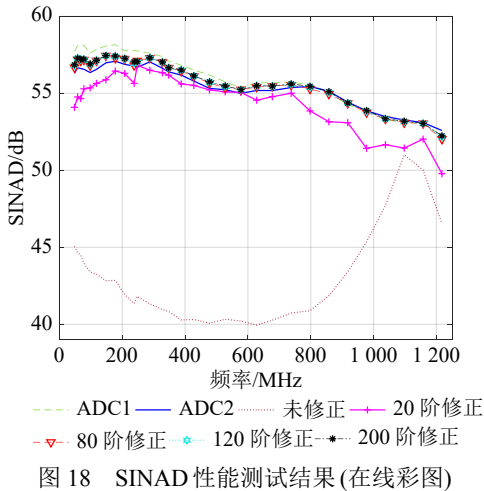


图 18 SINAD 性能测试结果(在线彩图)

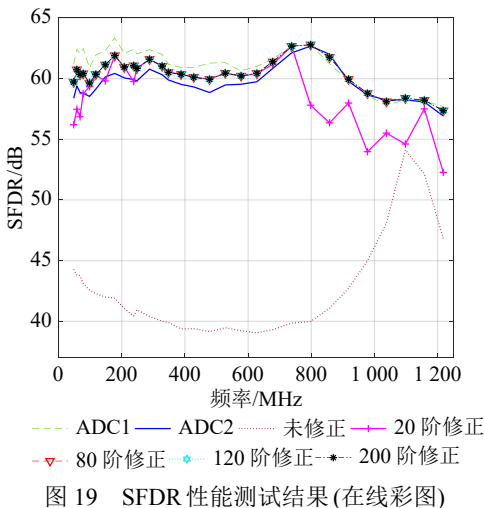


图 19 SFDR 性能测试结果(在线彩图)

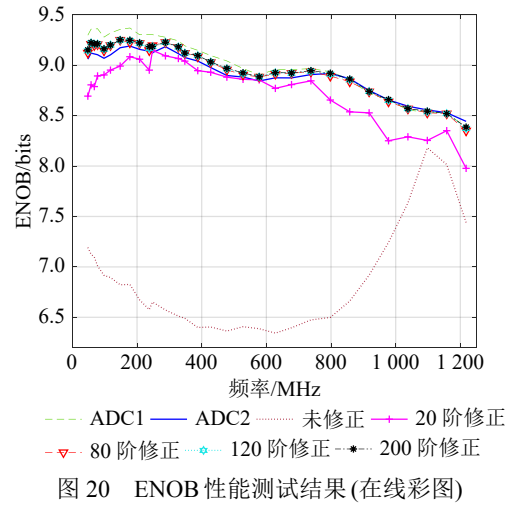


图 20 ENOB 性能测试结果(在线彩图)

以看到，各阶数下修正后系统的各项动态性能均得到显著提升。当滤波器阶数为 20 时，动态性能虽相对于未修正有所提升，但仍未达到单个 ADC 水平；而更高阶数的滤波器能够达到更好的修正效果，当滤波器阶数为 120 时，修正后 ENOB 性能达到 9.2 bits@247 MHz，8.9 bits@857 MHz，与单个 ADC 相当，以上结果说明失配误差的修正对于 TIADC 系统十分必要，而基于此算法可以实现宽带内的失配误差修正。

4 总结

本工作对 TIADC 系统进行了一系列测试与性能评估，并基于修正算法对 TIADC 的失配误差进行了修正。通过测试证明，该系统使用 2 片国产高速 ADC 并行交替采样实现了 5 Gsps 的等效采样率，在未修正时失配误差的存在会使得 TIADC 系统的动态性能相对于单个 ADC 明显下降，基于完美重构算法，可实现宽带内失配误差的修正，修正后系统的动态性能得到了明显优化，在 120 阶滤波器作用下，有效位性能达 9.2 bits@247 MHz，8.9 bits@857 MHz，与单片 ADC 性能相当。

参考文献：

- [1] BLACK W C, HODGES D A. *IEEE Journal of Solid-State Circuits*, 1980, 15(6): 1022.
- [2] RONZHIN A, ALBROW M G, LOS S, et al. *Nucl Instr and Meth A*, 2012, 668: 94.
- [3] CHEN H C, PILEGGI L. *IEEE Journal of Solid-State Circuits*, 2014, 49(12): 2891.
- [4] OBERLA E, GENAT J F, GRABAS H, et al. *Nucl Instr and Meth A*, 2014, 735: 452.
- [5] LI Jingyu, XIAO Dandan, ZHANG Yue. *IEICE Transactions on Information and Systems*, 2020, E103.D(7): 1765.
- [6] GFT6304 FMC, Four Channel High Speed Digitizer[EB/OL]. [2022-09-10]. <https://www.greenfieldtechnology.com/wp-content/>

- uploads/2021/11/GFT6304_Digitizer-12-bits_-datasheet-august-2022.pdf.
- [7] DONG R S, ZHAO L, QIN J J, et al. *Nuclear Science and Techniques*, 2021, 32(3): 25.
- [8] DYER K C, FU D H, LEWIS S H, et al. *IEEE Journal of Solid-State Circuits*, 1998, 33(12): 1912.
- [9] ZOU Yuexian, ZHANG Shangliang, LIM Yongching, et al. *IEEE Transactions on Instrumentation and Measurement*, 2011, 60(4): 1123.
- [10] GAO X, ZHAO L, JIANG Z, et al. Implementation of Broadband Mismatch Correction in a 1.6-Gsps TIADC System[C]//2016 IEEE Nuclear Science Symposium, Medical Imaging Conference and Room-Temperature Semiconductor Detector Workshop (NSS/MIC/RTSD), October 29- November 06, 2016, Strasbourg, France, New York: IEEE, 2016.
- [11] CHAKRAVARTHI M, BHUMA C M. Detection and Correction of Sampling-Time-Errors in an N-channel Time-Interleaved ADC Using Genetic Algorithm[C]//2017 14th IEEE India Council International Conference (INDICON), December 15-17, 2017, Roorkee, India. New York: IEEE, 2017.
- [12] ROSATO F, MONSURRO P, TRIFILETTI A. Perfect Reconstruction Filters for 4-channels Time-interleaved ADC Affected by Mismatches[C]//2017 European Conference on Circuit Theory & Design, September 04-06, 2017, Catania, Italy. New York: IEEE, 2017.
- [13] MARELLI D, MAHATA K, FU M Y. *IEEE Transactions on Circuits and Systems I Regular Papers*, 2009, 56(11): 2476.
- [14] ZHAO L, JIANG Z Y, DONG R S, et al. *IEEE Transactions on Nuclear Science*, 2018, 65(12): 2892.
- [15] IEEE 1241-2010, IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters[S]. New York: IEEE, 2011.
- [16] OPPENHEIM A V, WILLSKY A S, NAWAB S H. *Signals & systems*[M]. New Jersey: Prentice-Hall Inc, 1996.
- [17] The Importance of Data Converter Static Specifications [EB/OL]. [2022-09-10]. <https://www.analog.com/media/en/training-seminars/tutorials/MT-010.pdf>.

Testing and Evaluation of a Waveform Digitization System Based on TIADC Technique

CAO Yi, QIN Jiajun[†], ZHAO Lei, AN Qi

(State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China)

Abstract: Time-Interleaved Analog-to-Digital Conversion(TIADC) is one of the most important techniques in the design of high-speed waveform digitization systems, it can multiple the sampling rate of a sampling system. However, there are mismatch errors between different sampling channels, which will make the dynamic performance of a TIADC system significantly lower than that of a single ADC. Therefore, mismatch errors should be corrected in TIADC system design. To evaluate the quality of the system design and promote the next optimization design, it is necessary to conduct scientific performance test and evaluation on the TIADC system. In this work, aiming at the test and evaluation, the performance indexes and test methods of TIADC system are introduced in detail, a series of performance tests of the system are completed, and mismatch errors are corrected based on perfect reconstruction algorithm. The test results show that the system can achieve an equivalent 5 Gsps sampling rate and can realize mismatch error correction in a wide band based on the proposed mismatch error correction method. After correction, the dynamic performance of the TIADC system is significantly enhanced compared with that without correction. For example, the Effective Number of Bits(ENOB) of the proposed system reaches 9.2 bits at 247 MHz, 8.9 bits at 857 MHz, which is equivalent to the performance index of a single ADC.

Key words: waveform digitization system; time-interleaved technique; mismatch error correction

Received date: 23 Sep. 2022; Revised date: 31 Oct. 2022

Foundation item: National Natural Science Foundation of China(11675173)

[†] Corresponding author: QIN Jiajun, E-mail: jjqin@ustc.edu.cn